

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Katsuhiko HOYA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE HAVING FERROELECTRIC CAPACITOR

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
Japan	2003-198953	July 18, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0350307

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 7月18日

出願番号 Application Number: 特願2003-198953

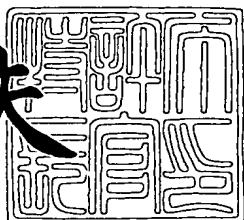
[ST. 10/C]: [JP2003-198953]

出願人 Applicant(s): 株式会社東芝

2003年 8月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 A000300939
【提出日】 平成15年 7月18日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体集積回路装置
【請求項の数】 13
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 穂谷 克彦
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 高島 大三郎
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 セルトランジスタと、前記セルトランジスタのソース・ドレン間に接続された強誘電体キャパシタとを含むユニットセルと、

第1端子と第2端子との間に直列接続された複数個の前記ユニットセルと、前記第2端子と第3端子との間に接続されたブロック選択トランジスタとを含む複数のメモリセルブロックと、

それぞれが、複数の前記メモリセルブロックの前記第3端子を共通接続する複数のビット線と、

それぞれが、複数の前記メモリセルブロックにおける前記セルトランジスタのゲートを共通接続する複数のワード線と、

それぞれが、複数の前記メモリセルブロックにおける前記ブロック選択トランジスタのゲートを共通接続するブロック選択信号線と、

それが、複数の前記メモリセルブロックの前記第1端子を共通接続する複数のプレート線と、

複数の前記プレート線が共通に接続され、該プレート線に電位を与えるプレート線ドライバと

を具備することを特徴とする半導体集積回路装置。

【請求項 2】 前記プレート線ドライバに共通接続される前記複数のプレート線の各々に接続される前記メモリセルブロックは、互いに異なる前記ワード線及び前記ブロック選択信号線に接続される

ことを特徴とする請求項1記載の半導体集積回路装置。

【請求項 3】 互いに異なる前記ビット線を選択する第1、第2カラムデコーダと、

互いに異なる前記ワード線及び前記ブロック選択信号線を選択する第1、第2ロウデコーダとを更に備え、

前記第1カラムデコーダ及び前記第1ロウデコーダが動作状態の際には、前記第2カラムデコーダ及び前記第2ロウデコーダが非動作状態であり、前記第2

カラムデコーダ及び前記第2ロウデコーダが動作状態の際には、前記第1カラムデコーダ及び前記第1ロウデコーダが非動作状態であり、

前記プレート線ドライバに共通接続される前記複数のプレート線のいずれか一方に接続される前記メモリセルブロックは、前記第1カラムデコーダ及び前記第1ロウデコーダによって選択され、いずれか他方に接続される前記メモリセルブロックは、前記第2カラムデコーダ及び第2ロウデコーダによって選択されることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項4】 セルトランジスタと、前記セルトランジスタのソース・ドレン間に接続された強誘電体キャパシタとを含むユニットセルと、

第1端子と第2端子との間に直列接続された複数個の前記ユニットセルと、前記第2端子と第3端子との間に接続されたブロック選択トランジスタとを含む複数のメモリセルブロックと、

前記メモリセルブロックがマトリクス状に配置された第1メモリセルアレイと

前記第1メモリセルアレイ内において、同一行の前記セルトランジスタのゲートを共通接続する第1ワード線と、

前記第1メモリセルアレイ内において、同一行の前記ブロック選択トランジスタのゲートを共通接続する第1ブロック選択信号線と、

前記第1メモリセルアレイ内において、同一列の前記メモリセルブロックの前記第3端子を共通接続する第1ビット線と、

前記第1メモリセルアレイ内において、少なくとも同一行にあるいずれかの前記メモリセルブロックの前記第1端子を共通接続する第1プレート線と、

前記第1ワード線及び前記第1ブロック選択信号線を選択する第1ロウデコーダと、

前記第1ビット線を選択する第1カラムデコーダと、

複数の前記第1プレート線に電気的に接続され、複数の該第1プレート線に電位を与えるプレート線ドライバと

を具備することを特徴とする半導体集積回路装置。

【請求項5】 同一の前記プレート線ドライバによって電位を与えられる複

数の前記第1プレート線を共通に接続する第1共通プレート線を更に備え、
前記プレート線ドライバは、前記第1共通プレート線を介して複数の前記第1
プレート線に電位を与える
ことを特徴とする請求項4記載の半導体集積回路装置。

【請求項6】 同一の前記プレート線ドライバによって電位を与えられる複
数の前記第1プレート線にそれぞれ接続される前記メモリセルブロックは、読み
出し時において、いずれか1本の前記第1プレート線に接続される前記メモリセ
ルブロックのみが選択される
ことを特徴とする請求項4または5記載の半導体集積回路装置。

【請求項7】 前記メモリセルブロックがマトリクス状に配置された第2メ
モリセルアレイと、

前記第2メモリセルアレイ内において、同一行の前記セルトランジスタのゲー
トを共通接続し、前記第1ワード線と電気的に分離された複数の第2ワード線と
、

前記第2メモリセルアレイ内において、同一行の前記ブロック選択トランジス
タのゲートを共通接続し、前記第1ブロック選択信号線と電気的に分離された第
2ブロック選択信号線と、

前記第2メモリセルアレイ内において、同一列の前記メモリセルブロックの前
記第3端子を共通接続し、前記第1ビット線と電気的に分離された第2ビット線
と、

前記第2メモリセルアレイ内において、少なくとも同一行にあるいずれかの前
記メモリセルブロックの前記第1端子を共通接続する第2プレート線と、

前記第2メモリセルアレイ内における前記第2ワード線及び前記第2ブロック
選択信号線を選択する第2ロウデコーダと、

前記第2メモリセルアレイ内における前記第2ビット線を選択する第2カラム
デコーダと

を更に備え、前記プレート線ドライバは、前記第1、第2プレート線に電気的
に接続され、該第1、第2プレート線に電位を与える

ことを特徴とする請求項4乃至6いずれか1項記載の半導体集積回路装置。

【請求項 8】 前記プレート線ドライバは、複数の前記第2プレート線に電気的に接続され、複数の前記第2プレート線に電位を与えることを特徴とする請求項7記載の半導体集積回路装置。

【請求項 9】 同一の前記プレート線ドライバによって電位を与えられる複数の前記第2プレート線を共通に接続する第2共通プレート線を更に備え、前記プレート線ドライバは、前記第2共通プレート線を介して複数の前記第2プレート線に電位を与えることを特徴とする請求項8記載の半導体集積回路装置。

【請求項 10】 同一の前記プレート線ドライバによって電位を与えられる複数の前記第2プレート線にそれぞれ接続される前記メモリセルブロックは、読み出し時において、いずれか1本の前記第2プレート線に接続される前記メモリセルブロックのみが選択される

ことを特徴とする請求項8または9記載の半導体集積回路装置。

【請求項 11】 読み出し時においては、前記第1、第2メモリセルアレイのいずれか一方に含まれる前記メモリセルブロックのみが選択される

ことを特徴とする請求項7乃至10いずれか1項記載の半導体集積回路装置。

【請求項 12】 第1方向に沿って複数形成され、前記第1方向に直交する第2方向に沿ったストライプ形状の素子領域を更に具備し、

前記第1ワード線は、複数の前記素子領域を跨ぐようにして、前記第1方向に沿ったストライプ形状に形成され、

前記第1ブロック選択信号線は、複数の前記素子領域を跨ぎ、且つ前記第1ワード線に前記第2方向で隣接するようにして、前記第1方向に沿ったストライプ形状に形成され、

前記第1ビット線は、前記第2方向に沿ったストライプ形状に形成され、前記第1プレート線は、複数の前記素子領域を跨ぎ、且つ前記第1ワード線を挟んで前記第1ブロック選択信号線と対向するようにして、前記第1方向に沿ったストライプ形状に形成され、

前記第1共通プレート線の少なくとも一部は、前記第1プレート線の一端と接続されるようにして、前記第1メモリセルアレイの端部において前記第2方向に

沿って形成され、該第1共通プレート線は前記プレート線ドライバに接続されている

ことを特徴とする請求項5いずれか1項記載の半導体集積回路装置。

【請求項13】 半導体基板中の第1、第2領域内にそれぞれ第1方向に沿って複数形成され、前記第1方向に直交する第2方向に沿ったストライプ形状の第1、第2素子領域を更に具備し、

前記第1、第2ワード線は、それぞれ複数の前記第1、第2素子領域を跨ぐようにして、前記第1方向に沿ったストライプ形状に形成され、

前記第1ブロック選択信号線は、複数の前記第1素子領域を跨ぎ、且つ前記第1ワード線に前記第2方向で隣接するようにして、前記第1方向に沿ったストライプ形状に形成され、

前記第2ブロック選択信号線は、複数の前記第2素子領域を跨ぎ、且つ前記第2ワード線に前記第2方向で隣接するようにして、前記第1方向に沿ったストライプ形状に形成され、

前記第1、第2ビット線は、それぞれ前記第1、第2領域上に、前記第2方向に沿ったストライプ形状に形成され、

前記第1プレート線は、複数の前記第1素子領域を跨ぎ、且つ前記第1ワード線を挟んで前記第1ブロック選択信号線と対向するようにして、前記第1方向に沿ったストライプ形状に形成され、

前記第2プレート線は、複数の前記第2素子領域を跨ぎ、且つ前記第2ワード線を挟んで前記第2ブロック選択信号線と対向するようにして、前記第1方向に沿ったストライプ形状に形成され、

前記第1共通プレート線の少なくとも一部は、前記第1プレート線の一端と接続されるようにして、前記第1領域の端部において前記第2方向に沿って形成され、

前記第2共通プレート線の少なくとも一部は、前記第2プレート線の一端と接続されるようにして、前記第2領域の端部において前記第2方向に沿って形成され、

前記第1、第2共通プレート線は、前記第1、第2領域の境界領域で前記プレ

ート線ドライバに接続されている
ことを特徴とする請求項 9 記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路装置に関する。例えば強誘電体キャパシタ (Ferroelectric capacitor) を用いた強誘電体メモリに関する。

【0002】

【従来の技術】

近年、半導体メモリの1つとして、強誘電体材料をキャパシタ絶縁膜に用いた強誘電体キャパシタを備えた強誘電体メモリが注目されている。

【0003】

強誘電体メモリは、強誘電体の持つ特性の1つであるヒステリシス特性を利用し、強誘電体キャパシタにおいて、異なる2つの残留分極の大きさによって2つのデータを不揮発に記憶する。強誘電体メモリの中では、例えばセルトランジスタ (T) のソース・ドレイン間にキャパシタ (C) の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した「TC並列ユニット直列接続型強誘電体メモリ」が知られている（例えば非特許文献1参照）。

【0004】

【非特許文献1】

D. Takashima et al., "High-density chain Ferroelectric random memory (CFRAM)", proceeding VLSI Symposium, 1997年, p. 83-84

【0005】

【発明が解決しようとする課題】

しかしながら、従来の強誘電体メモリであると、チップサイズが大きくなると
いう問題があった。

【0006】

強誘電体メモリは、DRAM (Dynamic Random Access Memory) と異なり、残
留分極量によってデータを保持する。従って、データを読み出す際にはプレート

線を駆動することが必要である。しかし、従来構成であるとプレート線ドライバが半導体チップ内において大きな面積を占有するため、チップサイズを縮小化することが困難であった。

【0007】

この発明は、上記事情に鑑みてなされたもので、その目的は、チップサイズを低減できる半導体集積回路装置を提供することにある。

【0008】

【課題を解決するための手段】

この発明の第1の態様に従った半導体集積回路装置は、セルトランジスタと、前記セルトランジスタのソース・ドレイン間に接続された強誘電体キャパシタとを含むユニットセルと、第1端子と第2端子との間に直列接続された複数個の前記ユニットセルと、前記第2端子と第3端子との間に接続されたブロック選択トランジスタとを含む複数のメモリセルブロックと、それぞれが、複数の前記メモリセルブロックの前記第3端子を共通接続する複数のビット線と、それぞれが、複数の前記メモリセルブロックにおける前記セルトランジスタのゲートを共通接続する複数のワード線と、それぞれが、複数の前記メモリセルブロックにおける前記ブロック選択トランジスタのゲートを共通接続するブロック選択信号線と、それが、複数の前記メモリセルブロックの前記第1端子を共通接続する複数のプレート線と、複数の前記プレート線が共通に接続され、該プレート線に電位を与えるプレート線ドライバとを具備することを特徴としている。

【0009】

また、この発明の第2の態様に従った半導体集積回路装置は、セルトランジスタと、前記セルトランジスタのソース・ドレイン間に接続された強誘電体キャパシタとを含むユニットセルと、第1端子と第2端子との間に直列接続された複数個の前記ユニットセルと、前記第2端子と第3端子との間に接続されたブロック選択トランジスタとを含む複数のメモリセルブロックと、前記メモリセルブロックがマトリクス状に配置された第1メモリセルアレイと、前記第1メモリセルアレイ内において、同一行の前記セルトランジスタのゲートを共通接続する第1ワード線と、前記第1メモリセルアレイ内において、同一行の前記ブロック選択ト

ランジスタのゲートを共通接続する第1ブロック選択信号線と、前記第1メモリセルアレイ内において、同一列の前記メモリセルブロックの前記第3端子を共通接続する第1ビット線と、前記第1メモリセルアレイ内において、少なくとも同一行にあるいずれかの前記メモリセルブロックの前記第1端子を共通接続する第1プレート線と、前記第1ワード線及び前記第1ブロック選択信号線を選択する第1ロウデコーダと、前記第1ビット線を選択する第1カラムデコーダと、複数の前記第1プレート線に電気的に接続され、複数の該第1プレート線に電位を与えるプレート線ドライバとを具備することを特徴としている。

【0010】

上記構成によれば、プレート線ドライバが複数のプレート線によって共用されている。従って、プレート線ドライバの数を削減でき、チップサイズを縮小化出来る。

【0011】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0012】

この発明の第1の実施形態に係る半導体集積回路装置について、図1を用いて説明する。本実施形態では、セルトランジスタ(T)のソース・ドレイン間にキヤパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した「TC並列ユニット直列接続型強誘電体メモリ」を例に挙げて説明する。図1はTC並列ユニット直列接続型強誘電体メモリの要部の構成例を示すブロック図である。

【0013】

図示するように、強誘電体メモリ10は、メモリセルアレイ20、カラムデコーダ30、センスアンプ40、ロウデコーダ50、及びプレート線ドライバ60-1、60-2を備えている。

【0014】

メモリセルアレイ20は、マトリクス状に配置された $((m+1) \times (n+1))$

)、m、nは自然数) 個のメモリセルブロックBLK00～BLKm nを備えている。なお、図中では(4×4) 個のメモリセルブロックBLK00～BLK3 3のみ図示している。以下では、これらのメモリセルブロックBLK00～BLK3 3に着目して説明する。また、メモリセルブロックの数は特に限定されるものではない。各メモリセルブロックBLK00～BLK3 3は、複数のメモリセルを含んでいる。各メモリセルブロックBLK00～BLK3 3の詳細な構成については後述する。行方向で隣接する2列のメモリセルブロックは、互いに相補的なデータを保持する。すなわち、メモリセルブロックBLK00～BLK3 0とメモリセルブロックBLK01～BLK3 1は、互いに相補的なデータを保持する。またメモリセルブロックBLK02～BLK3 2とメモリセルブロックBLK03～BLK3 3とは、互いに相補的なデータを保持する。

【0015】

同一列のメモリセルブロックの一端は同一のビット線に共通接続されている。すなわち、メモリセルブロックBLK00～BLK3 0の一端、及びBLK01～3 1の一端は、それぞれビット線対BL0、／BL0に共通接続されている。また、メモリセルブロックBLK02～BLK3 2の一端、及びBLK03～BLK3 3の一端は、それぞれビット線対BL1、／BL1に共通接続されている。

【0016】

また、列方向で隣接する2行のメモリセルブロックの他端は、ビット線BLに接続されるもの同士、及びビット線／BLに接続されるもの同士で、同一のプレート線に共通接続されている。すなわち、メモリセルブロックBLK00～BLK03、BLK10～BLK13のうち、ビット線BL0、BL1に接続されるものは、その他端がプレート線PL0に接続される。また、メモリセルブロックBLK10～BLK13、BLK10～BLK13のうち、ビット線／BL0、／BL1に接続されるものは、その他端がプレート線／PL0に接続される。更に、メモリセルブロックBLK20～BLK23、BLK30～BLK33のうち、ビット線BL0、BL1に接続されるものは、その他端がプレート線PL1に接続される。また、メモリセルブロックBLK20～BLK23、BLK30

～BLK33のうち、ビット線／BL0、／BL1に接続されるものは、その他端がプレート線／PL1に接続される。なお、プレート線PL0、PL1は、共通プレート線CPL0に共通接続され、プレート線／PL0、／PL0は、共通プレート線／CPL0に共通接続されている。

【0017】

同一行のメモリセルブロックは、ブロック選択信号線及びワード線を共用する。すなわち、同一行のメモリセルブロックBLK00～BLK03は、ブロック選択信号線BS0、BS1及びワード線WL0～WL7に共通接続される。メモリセルブロックBLK10～BLK13は、ブロック選択信号線BS2、BS3及びワード線WL8～WL15に共通接続される。更に、同一行のメモリセルブロックBLK20～BLK23は、ブロック選択信号線BS4、BS5及びワード線WL16～WL23に共通接続される。メモリセルブロックBLK30～BLK33は、ブロック選択信号線BS6、BS7及びワード線WL24～WL31に共通接続される。

【0018】

カラムデコーダ30は、外部から入力されるカラムアドレス信号をデコードして、カラムアドレスデコード信号を得る。そして、いずれかのビット線を選択する。

【0019】

ロウデコーダ50は、外部から入力されるロウアドレス信号をデコードして、ロウアドレスデコード信号を得る。そして、いずれかのブロック選択信号線及びワード線を選択する。

【0020】

センスアンプ40は、カラムデコーダ30及びロウデコーダ50によって選択されたメモリセルから読み出したデータを増幅する。

【0021】

プレート線ドライバ60-1、60-2はそれぞれ、共通プレート線CPL0、／CPLにプレート電位を与える。

【0022】

次に、図2を用いて各メモリセルブロックBLK00～BLKm nの構成について詳細に説明する。図2はメモリセルアレイ20の一部領域の回路図であり、特にメモリセルブロックBLK10～BLK13、及びBLK20～BLK23について示している。

【0023】

図示するように、メモリセルブロックBLK00～BLKm nの各々は、直列接続された複数個のメモリセルMC、及びブロックセレクトトランジスタBSTを含んでいる。図2では1つのメモリセルブロックあたりに含まれるメモリセルMCの数は8個であるが、勿論、この数に限定されるものではなく、16個や32個の場合であっても良い。メモリセルMCは、MOSトランジスタT及び強誘電体キャパシタCを含んでいる。強誘電体キャパシタCは、キャパシタ絶縁膜に強誘電体材料を用いたキャパシタ素子である。強誘電体材料としては、例えばジルコン酸チタン酸鉛(Pb-Zr-Ti-O: PZT)、タンタル酸ストロンチウムービスマス(Sr-Bi-Ta-O: SBT)等を用いることができる。強誘電体キャパシタCの一方電極はセルトランジスタTのソースに接続され、他方電極はセルトランジスタTのドレインに接続されている。そして、セルトランジスタTのソースは、一方で隣接するメモリセルMCのセルトランジスタTのドレインに接続され、ドレインは、他方で隣接するメモリセルMCのセルトランジスタのソースに接続されている。各メモリセルMCに含まれるセルトランジスタTのゲート電極は、同一行毎に、それぞれワード線WL0～WL7、WL8～WL15、WL16～WL23、及びWL24～WL31、…に接続されている。また、最もソース寄りに位置するメモリセルMCのセルトランジスタTのソースは、プレート線対PL、/PLに接続されている。更に、最もドレイン寄りに位置するメモリセルMCのセルトランジスタTのドレインは、ブロック選択トランジスタBSTを介して、ビット線対BL、/BLに接続されている。すなわち、ブロック選択トランジスタBSTのソースは、最もビット線寄りのセルトランジスタTのドレインに接続され、ドレインは、ビット線BLまたは/BLに接続されている。

【0024】

ブロック選択トランジスタB S Tのゲートは、ブロック選択信号線B Sに接続されている。そして、同一行であって且つ同一のプレート線に接続されるメモリセルブロック内のブロック選択トランジスタB S Tのゲートは、同一のブロック選択信号線B Sに接続されている。より具体的には、メモリセルブロックB L K 0 0、B L K 0 2内のブロック選択トランジスタB S Tは、ブロック選択信号線B S 0に接続される。メモリセルブロックB L K 0 1、B L K 0 3内のブロック選択トランジスタB S Tは、ブロック選択信号線B S 1に接続される。メモリセルブロックB L K 1 0、B L K 1 2内のブロック選択トランジスタB S Tは、ブロック選択信号線B S 2に接続される。メモリセルブロックB L K 1 1、B L K 1 3内のブロック選択トランジスタB S Tは、ブロック選択信号線B S 3に接続される。更に、メモリセルブロックB L K 2 0、B L K 2 2内のブロック選択トランジスタB S Tは、ブロック選択信号線B S 4に接続される。メモリセルブロックB L K 2 1、B L K 2 3内のブロック選択トランジスタB S Tは、ブロック選択信号線B S 5に接続される。メモリセルブロックB L K 3 0、B L K 3 2内のブロック選択トランジスタB S Tは、ブロック選択信号線B S 6に接続される。そして、メモリセルブロックB L K 3 1、B L K 3 3内のブロック選択トランジスタB S Tは、ブロック選択信号線B S 7に接続されている。

【0025】

次に、図3を用いてメモリセルアレイ20の平面パターンについて説明する。図3は、メモリセルアレイ20の一部領域の平面図であり、特にメモリセルブロックB L K 1 0～B L K 1 3、B L K 2 0～B L K 2 3を示している。なおここではC O P (Capacitor On Plug) 構造を採用したT C並列ユニット直列接続型強誘電体メモリについて図示している。

【0026】

図示するように、シリコン基板70中にはメモリセルMC及びブロック選択トランジスタB S Tを形成すべき素子領域AAが、第1方向に複数形成されている。各素子領域AAは、第1方向に直交する第2方向に沿ったストライプ状に形成されている。素子領域AA以外の領域には素子分離領域S T Iが形成されている。また、シリコン基板70上にはワード線WL及びブロック選択信号線B Sが、

複数の素子領域AAを跨ぐようにして、第1方向に沿ったストライプ状に形成されている。ワード線WLと素子領域AAの交差する領域には、セルトランジスタ(図示せず)が形成されている。更に、セルトランジスタの略直上の領域にはセルキャパシタCCが形成されている。セルキャパシタCCは、キャパシタ下部電極71と、キャパシタ下部電極71上に強誘電体膜を介在して形成されたキャパシタ上部電極72とを備えている。また、素子領域AAの長手方向に沿って隣接する2つのセルキャパシタCCは、キャパシタ下部電極71を共用しており、2つのセルトランジスタの略直上の領域に跨って形成されている。そして個々のキャパシタ下部電極71は、シリコン基板70面内において格子状に配置されており、2つのセルトランジスタの不純物拡散層の一方に、コンタクトプラグCP1を介して電気的に接続されている。キャパシタ下部電極71上に強誘電体膜を介在して形成されたキャパシタ上部電極72は、セルトランジスタ毎に分離されており、セルトランジスタの略直上の領域に形成されている。またキャパシタ上部電極72は、セルトランジスタの不純物拡散層の他方と、コンタクトプラグCP2、CP3を介して電気的に接続されている。なお、図3ではキャパシタ下部電極11が格子状に配置されている場合を例に挙げたが、例えば千鳥状に配置されても良い。

【0027】

また、素子領域AAとブロック選択信号線BSとが交差する領域には、ブロック選択トランジスタBSTが形成されている。前述の通り、選択トランジスタBSTは、ビット線対BL、/BLと、隣接するメモリセルとの間に直列接続されている。すなわち、選択トランジスタのドレイン領域は、ドレイン領域上に形成されたコンタクトプラグCP4を介してビット線対BL、/BLに接続されている。他方、ソース領域は、隣接するメモリセルのドレイン領域に接続され且つコンタクトプラグCP2、CP3を介してキャパシタ上部電極72に接続されている。なお、図3に示すように、各メモリセルブロック内を2本のブロック選択信号線が通過する。しかし、各メモリセルブロック内において実質的にブロック選択信号線として機能するのはいずれか一方だけである。すなわち、図3においてメモリセルブロックBLK10、BLK12内を、2本のブロック選択信号線B

S2、BS3が通過するが、実質的にブロック選択信号線として機能するのは、ブロック選択信号線BS2のみである。ブロック選択信号線BS3は、単に素子領域AA上を通過するだけである。ビット線BL、/BLは、第2方向に沿ったストライプ形状に形成されている。そして、コンタクトプラグCP4を介して、同一列にあるメモリセルブロック内の選択トランジスタBSTのドレイン領域に共通接続されている。

【0028】

更に、シリコン基板70上には、第1方向に沿ったストライプ形状のプレート線対PL、/PLが形成されている。プレート線対PL、/PLは、同一行の各メモリセルブロック内において、ブロック選択トランジスタBSTから最も離れた位置にあるセルトランジスタのソース領域を跨ぐようにして形成されている。セルトランジスタのソース領域とプレート線対PL、/PLとは、ソース領域上に形成されたコンタクトプラグCP5、CP6によって接続されている。より具体的には、メモリセルブロックBLK10、BLK12内においてブロック選択トランジスタBSTから最も離れた位置にあるセルトランジスタのソース領域は、コンタクトプラグCP5によってプレート線PL0に接続される。メモリセルブロックBLK11、BLK13内においてブロック選択トランジスタBSTから最も離れた位置にあるセルトランジスタのソース領域は、コンタクトプラグCP6によってプレート線/PL0に接続されている。また、メモリセルブロックBLK20、BLK22内においてブロック選択トランジスタBSTから最も離れた位置にあるセルトランジスタのソース領域は、コンタクトプラグCP5によってプレート線PL1に接続される。そして、メモリセルブロックBLK21、BLK23内においてブロック選択トランジスタBSTから最も離れた位置にあるセルトランジスタのソース領域は、コンタクトプラグCP6によってプレート線/PL1に接続されている。

【0029】

また、プレート線PL0、PL1は、共通プレート線CPL0によって共通接続されている。すなわち、メモリセルアレイ端部において、第2方向に沿ったストライプ形状の共通プレート線CPL0が形成されている。そして、第1方向に

沿ったストライプ形状のプレート線PL0、PL1の一端は、共に共通プレート線CPL0に接続されている。更に、共通プレート線CPL0は、第1方向に沿って形成された領域を介してプレート線ドライバ60-1に接続されている。同じようにして、プレート線/PL0、/PL1は、共通プレート線/CPL0によって共通接続されている。すなわち、メモリセルアレイ端部において、第2方向に沿ったストライプ形状の共通プレート線/CPL0が形成されている。そして、第1方向に沿ったストライプ形状のプレート線/PL0、/PL1の一端は、共に共通プレート線/CPL0に接続されている。更に、共通プレート線/CPL0は、プレート線ドライバ60-2に接続されている。

【0030】

次に、上記構成の強誘電体メモリのデータ読み出し方法について、図1、図2及び図4を用いて説明する。図4は、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリにおいて、データを読み出す際の各種信号のタイミングチャートである。なお、ここではメモリセルブロックBLK20においてワード線WL19に接続されたメモリセルMCからデータを読み出す場合を例に挙げて説明する。

【0031】

まずスタンバイ状態において、ビット線対BL0、/BL0がプリチャージされる(～時刻t1)。すなわち、図示せぬプリチャージ回路によって、ビット線対BL0、/BL0の電位は、Vb1pにプリチャージされる。ビット線のプリチャージレベルVb1pは、例えば(Vaa+Vss)/2である。電位Vaaは例えば内部電源電位であり、電位Vssは接地電位である。なお、プリチャージレベルVb1pは、電位VaaとVssとの間の電位であれば良いし、電位Vssであっても良い。また同時に、プレート線ドライバ60-1、60-2によってプレート線PL1、/PL1は、電位Vssにプリチャージされる。なお、プレート線PL1、/PL1は、それぞれ共通プレート線CPL0、/CPL0によってプレート線PL0、/PL0にも接続されている。従って、非選択のメモリセルブロックに接続されているプレート線PL0、/PL0も、電位Vssにプリチャージされる。

【0032】

スタンバイ状態において、ブロック選択信号線B S 4、B S 5にはロウデコーダ50によって“L”レベルの電位が与えられている。従って、メモリセルブロックB L K 2 0内のブロック選択トランジスタB S Tはオフ状態である。またメモリセルブロックB L K 2 0内における全てのワード線WL 1 6～WL 2 3には、ロウデコーダ50によって“H”レベルの電位が供給されており、セルトランジスタTはオン状態とされている。言うまでもないが、選択メモリセルブロックB L K 2 0に接続されたブロック選択信号線B S 4、B S 5以外の全てのブロック選択信号線も、ロウデコーダ50によって“L”レベルの電位が与えられている。またワード線WL 1 6～WL 2 3以外の全てのワード線にも、“H”レベルの電位が与えられている。

【0033】

上記の状態で、メモリセルからのデータの読み出しを行う為に、強誘電体メモリはスタンバイ状態からアクティブ状態へと移行する。すなわち、時刻t 1において、プリチャージ回路が非活性とされる。これにより、ビット線対B L 0、／B L 0はプリチャージレベルでフローティング状態となる。そして、図示せぬビット線駆動回路が、カラムデコーダ30によって選択されたビット線B L 0の電位をプリチャージレベルから基準電位V d rだけ低下させる。

【0034】

そして、ビット線B L 0の電位が(V b l p - V d r)まで下がると(時刻t 2)、ビット線駆動回路はビット線B L 0から電気的に分離される。

【0035】

そして時刻t 3において、メモリセルからデータが読み出される。すなわち、ロウデコーダ50により、ワード線WL 1 9が選択される。これにより、ワード線WL 1 9に接続されているセルトランジスタTがオフ状態となる。また、ロウデコーダ50によりブロック選択信号B S 4、B S 5が“H”レベルとされ、メモリセルブロックB L K 2 0内のブロック選択トランジスタB S Tがオン状態となる。これにより、電位(V b l p - V d r)のビット線B L 0と選択メモリセルとが電気的に接続される。また、プリチャージ電位のビット線／B Lと、メモ

リセルブロックBLK21においてワード線WL19に接続されたメモリセルとが電気的に接続される。更に、プレート線ドライバ60-1、60-2によって、プレート線PL1、/PL1に電位VINTが供給される。その結果、選択メモリセルに保持されているデータに応じて、ビット線BL0、/BL0の電位が変動する。すなわち、メモリセルに“0”データが保持されている場合には、ビット線BL0の電位が、プリチャージレベルのビット線/BL0よりも $-\Delta V$ だけ低くなる。逆に“1”データが保持されている場合には、ビット線BL0の電位が、プリチャージレベルのビット線/BLよりも $+\Delta V$ だけ高くなる。

【0036】

次に、時刻t4において、センスアンプ40が活性化される。活性化されたセンスアンプ40は、ビット線対BL0、/BL0間に現れた電位差 $+\Delta V$ または $-\Delta V$ を検知し、この電位差を增幅する。これにより、メモリセルに“0”データが保持されている場合には、ビット線BL0の電位は接地電位Vssまで下降する。一方、ビット線/BL0の電位は内部電源電位Vaaまで上昇する。逆に“1”データが保持されている場合には、ビット線BL0の電位は内部電源電位Vaaまで上昇し、ビット線/BL0の電位は接地電位Vssまで下降する。

【0037】

以上のようにして、メモリセルに保持されているデータが読み出される。読み出し後は、データの再書き込み(restore)を行った後、再びスタンバイ状態に戻る。

【0038】

上記構成の強誘電体メモリによれば、半導体チップ内におけるプレート線ドライバの占有面積を削減でき、チップサイズを縮小化出来る。本効果について、以下詳細に説明する。

【0039】

従来のTC並列ユニット直列接続型強誘電体メモリであると、プレート線毎にプレート線ドライバが設けられている。すなわち、2行のメモリセルブロック毎に1つのプレート線ドライバが必要であった。

【0040】

しかし、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリであると、2本のプレート線を共通プレート線に共通接続し、共通プレート線毎にプレート線ドライバを設けている。換言すれば、1つのプレート線ドライバが、2本のプレート線によって共用されている。すなわち、4行のメモリセルブロック毎に1つのプレート線ドライバを設ければ足りる。更に言い換えれば、1本のプレート線によって、4行のメモリセルブロックが共通接続されている、と言ふことも出来る。従って、プレート線ドライバの数が、従来の1/2で済む。その結果、チップサイズを削減できる。

【0041】

本実施形態のように、1つのプレート線ドライバを2本のプレート線で共用すると、当然ながらプレート線の配線容量及び配線抵抗が増加する。すなわち、プレート線ドライバの負荷は大きくなる。従って、プレート線の駆動速度を落とさずにプレート線を駆動するためには、プレート線の駆動能力を向上させる必要があり、プレート線ドライバの回路面積は増加する。しかし、一般的に、プレート線ドライバに生ずる負荷は、配線抵抗や配線容量に比べて、強誘電体キャパシタの容量が支配的である。これは、強誘電体キャパシタのキャパシタ絶縁膜の誘電率が非常に大きいため、配線容量に比べて強誘電体キャパシタの容量の方が断然に大きいからである。そのため、プレート線ドライバに対する負荷の殆どは、プレート線に接続されている選択セルキャパシタの数で決まる。

【0042】

この点、本実施形態に係る構成であると、プレート線ドライバを共用する2本のプレート線は、読み出し時において、「一方のプレート線に接続されているメモリセルブロックが選択された場合、他方のプレート線に接続されているメモリセルブロックは必ず非選択である」、という関係を有する。例えば図1において、プレート線PL0とプレート線PL1とは、プレート線ドライバ60-1を共用している。読み出し時において、例えばプレート線PL1に接続されているメモリセルブロックBLK20が選択されたと仮定する。この際、プレート線PL0に接続されているメモリセルブロックBLK00～BLK03、BLK10～BLK13は必ず非選択である。そして、非選択のメモリセルブロック内のワー

ド線は、全てが“H”レベルとされている。すなわち、ワード線WL0～WL15の全てが“H”レベルである（勿論、ワード線WL24～WL31も非選択）。すると、ワード線が“H”レベルとされているということは、すなわち、セルキャパシタがセルトランジスタによってショートされているということである。従って、プレート線ドライバからは、非選択メモリセルブロックのセルキャパシタの容量は見えない。前述の例であると、プレート線ドライバから見えるのは、選択メモリセルブロックBLK20と同一行内において同一ワード線に接続された選択メモリセルのセルキャパシタ容量だけが見える。そして、メモリセルブロックBLK00～BLK03、及びBLK10～BLK13内のセルキャパシタの容量は見えない。従って、1つのプレート線ドライバを2本のプレート線で共用しても、選択されるセルキャパシタの数は従来と変わらない。すなわち、プレート線ドライバの負荷の大きな要因である選択セルキャパシタ数は従来と同じである。そのため、プレート線ドライバの負荷は、2本のプレート線を共通接続した事による配線長の増加を要因とするものだけである。そして、配線長の増加を要因とする負荷の増加は微少（トータルの負荷は従来の2倍以下）なものである。よって、プレート線ドライバの負荷増加を最小限に抑えつつ、プレート線ドライバの占有面積を大幅に削減することが出来、その結果チップサイズを縮小化出来る。

【0043】

図5は、第1の実施形態の変形例に係るTC並列ユニット直列接続型強誘電体メモリのブロック図である。上記実施形態においては、1つのプレート線ドライバを2本のプレート線で共用する場合について説明した。しかし、必ずしも2本である必要はなく、3本以上のプレート線でプレート線ドライバを共用しても良い。

【0044】

図示するように、3本のプレート線PL0～PL2は共通プレート線CPL0に共通接続され、共通プレート線CPL0はプレート線ドライバ60-1に接続されている。また、3本のプレート線/PL0～/PL2は共通プレート線/CPL0に共通接続され、共通プレート線/CPL0はプレート線ドライバ60-

2に接続されている。すなわち、3本のプレート線が、1つのプレート線ドライバを共用している。更に言い換れば、6行のメモリセルブロックが1本のプレート線で共通接続されている。この場合であっても、読み出し時において、所定のプレート線に接続されているメモリセルブロックが選択された場合、その他のプレート線に接続されているメモリセルブロックは必ず非選択である。従って、プレート線ドライバに対しては、セルキャパシタの容量に起因する負荷の増加は無い。その結果、プレート線ドライバの負荷増加を最小限に抑えつつ、プレート線ドライバの数を、従来の1/3に削減出来る。

【0045】

勿論、1つのプレート線ドライバを共用するプレート線の数は3本に限られず、4本またはそれ以上であって良い。

【0046】

次に、この発明の第2の実施形態に係る半導体集積回路装置について、図6、図7を用いて説明する。図6は、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリのブロック図であり、図7はメモリセルアレイの一部領域の回路図である。本実施形態は、複数のメモリセルアレイ間で、プレート線ドライバを共用するものである。

【0047】

図示するように、強誘電体メモリ10は回路ブロック80、81、及びプレート線ドライバ60-1～60-4を備えている。回路ブロック80、81は、一方が選択されて動作を行う際には、他方は非選択となり動作を行わない、という関係を有している。

【0048】

各回路ブロック80、81の構成は、上記第1の実施形態とほぼ同様である。回路ブロック80は、メモリセルアレイ20-1、カラムデコーダ30-1、センスアンプ40-1、及びロウデコーダ50-1を備えている。また回路ブロック81は、メモリセルアレイ20-2、カラムデコーダ30-2、センスアンプ40-2、及びロウデコーダ50-2を備えている。

【0049】

カラムデコーダ30-1、30-2、センスアンプ40-1、40-2、及びロウデコーダ50-1、50-2の動作は、上記第1の実施形態と同様であるので、説明は省略する。また、メモリセルアレイ20-1、20-2の構成も、上記第1の実施形態で説明した通りである。なお、上記第1の実施形態と異なり、各メモリセルアレイ内における各プレート線は独立している。図7は、メモリセルアレイ20-1、20-2の一部領域の回路図である。図6、図7に示すように、列方向で隣接する2つのメモリセルブロックはプレート線を共用している。すなわち、回路ブロック80において、メモリセルブロックBLK00、BLK10、…BLK0(n-1)、BLK1(n-1)がプレート線PL00に共通接続され、メモリセルブロックBLK20、BLK30、…BLK2(n-1)、BLK3(n-1)がプレート線PL10に共通接続されている。また、メモリセルブロックBLK01、BLK11、…BLK0n、BLK1nがプレート線PL00に共通接続され、メモリセルブロックBLK21、BLK31、…BLK2n、BLK3nがプレート線PL10に共通接続されている。回路ブロック81においても、メモリセルブロックBLK00、BLK10、…BLK0(n-1)、BLK1(n-1)がプレート線PL01に共通接続され、メモリセルブロックBLK20、BLK30、…BLK2(n-1)、BLK3(n-1)がプレート線PL11に共通接続されている。また、メモリセルブロックBLK01、BLK11、…BLK0n、BLK1nがプレート線PL01に共通接続され、メモリセルブロックBLK21、BLK31、…BLK2n、BLK3nがプレート線PL11に共通接続されている。

【0050】

そして、プレート線PL00、PL01は共通プレート線CPL0に共通接続され、プレート線PL00、PL01は共通プレート線CPL0に共通接続されている。また、プレート線PL10、PL11は共通プレート線CPL1に共通接続され、プレート線PL10、PL11は共通プレート線CPL1に共通接続されている。そして、共通プレート線CPL0、CPL0、CPL1、CPL1は、それぞれプレート線ドライバ60-1～60-4にそれぞれ接続されている。なお各プレート線ドライバ60-1～60-4は、共通プレ

ート線CPL0、／CPL0、CPL1、／CPL1のそれぞれにプレート線電位を与える。

【0051】

図8は、メモリセルアレイ20-1、20-2の一部領域の平面図であり、特に回路ブロック80、81の境界付近の平面パターンを示している。なお、各回路ブロック80、81におけるメモリセルアレイ20-1、20-2の平面パターンは、上記第1の実施形態で説明した図3のパターンと同様であるので説明は省略する。

【0052】

図示するように、回路ブロック80、81は隣接して配置されている。そして、各回路ブロック80、81間において、ワード線WL及びブロック選択信号線BSは、電気的に分離されている。プレート線PL00とPL01、プレート線／PL00と／PL01、プレート線PL10とPL11、及びプレート線／PL10と／PL11は、それぞれ同一行に配置された金属配線層で形成されている。そして、回路ブロック80、81間で、互いに共通接続されている。換言すれば、ストライプ状の同一の金属配線層によって、各プレート線が形成されている。各プレート線は、回路ブロック80、81間の領域において、共通プレート線となる金属配線層に接続されている。共通プレート線は、ビット線に沿った方向のストライプ形状に形成されており、プレート線ドライバに接続されている。

【0053】

上記構成のTC並列ユニット直列接続型強誘電体メモリの読み出し動作は、上記第1の実施形態と同様である。但し、前述の通り、2つの回路ブロック80、81（メモリセルアレイ20-1、20-2）が同時に選択されることはない。

【0054】

上記構成の強誘電体メモリによれば、第1の実施形態と同様に、半導体チップ内におけるプレート線ドライバの占有面積を削減でき、チップサイズを縮小化出来る。本効果について、以下詳細に説明する。

【0055】

従来のTC並列ユニット直列接続型強誘電体メモリであると、各メモリセルア

レイのプレート線毎にプレート線ドライバが設けられている。すなわち、2つのメモリセルアレイが存在する場合、1つのメモリセルアレイ当たり必要な数の2倍のプレート線ドライバが必要である。例えば図6の例であると、プレート線PL00、/PL00、PL10、/PL10、PL01、/PL01、PL11、及び/PL11毎にプレート線ドライバが必要であり、その総数はプレート線の本数と同じ8個である。

【0056】

しかし、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリであると、2つのメモリセルアレイ間でプレート線を共通プレート線に共通接続し、共通プレート線毎にプレート線ドライバを設けている。換言すれば、1つのプレート線ドライバが、2つのメモリセルアレイ間において、2本のプレート線に共用されている。すなわち、各メモリセルアレイに含まれる2行のメモリセルブロック毎に、1つのプレート線ドライバを設ければ足りる。更に言い換えれば、1本のプレート線によって、4行のメモリセルブロックが共通接続されている、ということも出来る。従って、プレート線ドライバの数が従来の1/2となり、チップサイズを削減できる。

【0057】

上記第1の実施形態で説明したとおり、1つのプレート線ドライバを2本のプレート線で共用すれば、プレート線ドライバの負荷の原因となる配線容量及び配線抵抗は増加する。しかし、本実施形態に係る構成で有れば、上記第1の実施形態と同様、セルキャパシタの容量を要因とするプレート線ドライバの負荷は従来と変わらない。なぜなら、プレート線ドライバを共用する2つのメモリセルアレイは、同時に選択されることが無いからである。すなわち、一方のメモリセルアレイ中のメモリセルが選択された際には、他方のメモリセルアレイ中のメモリセルは全て非選択である。非選択のメモリセルのセルキャパシタは、セルトランジスタによってショートされているから、その容量はプレート線ドライバからは見えない。従って、プレート線ドライバを複数のプレート線ドライバで共用したことによるプレート線ドライバの負荷の増加分は、配線抵抗や配線容量のみを要因とするものに過ぎない。その結果、プレート線ドライバの負荷増加を最小限に抑

えつつ、プレート線ドライバの占有面積を大幅に削減することが出来、その結果チップサイズを縮小化出来る。

【0058】

なお、本実施形態においては2つのメモリセルアレイ間でプレート線ドライバを共用する例を挙げて説明した。しかし、プレート線ドライバを共用するメモリセルアレイの数は2つに限られず、3個以上であっても良い。

【0059】

次に、この発明の第3の実施形態に係る半導体集積回路装置について、図9、図10を用いて説明する。図9は、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリのブロック図であり、図10はメモリセルアレイの一部領域の回路図である。本実施形態は、上記第1、第2の実施形態を組み合わせたものである。

【0060】

図示するように、強誘電体メモリ10は、回路ブロック80、81、及びプレート線ドライバ60-1、60-2を備えている。回路ブロック80、81は、一方が選択されて動作を行う際には、他方は非選択となり動作を行わない、という関係を有している。

【0061】

各回路ブロック80、81の構成は、上記第2の実施形態で説明した構成とほぼ同じである。但し、上記第2の実施形態と異なる点は、メモリセルアレイ20-1におけるプレート線PL00、PL10が、共通プレート線CPL00に共通接続され、プレート線／PL00、／PL10が、共通プレート線／CPL00に接続されている点である。また、メモリセルアレイ20-1におけるプレート線PL01、PL11が、共通プレート線CPL01に接続され、プレート線PL01、PL11が、共通プレート線／CPL01に接続されている点である。そして、共通プレート線CPL00、CPL01はプレート線ドライバ60-1に接続され、共通プレート線／CPL00、／CPL01はプレート線ドライバ60-2に接続されている。プレート線ドライバ60-1は、共通プレート線CPL00、CPL01にプレート電位を与え、プレート線ドライバ60-2は

、共通プレート線／CPL00、／CPL01にプレート電位を与える。

【0062】

図11は、メモリセルアレイ20-1、20-2の一部領域の平面図であり、特に回路ブロック80、81の境界付近の平面パターンを示している。

【0063】

図示するように、各回路ブロック80、81の平面パターンは、上記第1の実施形態と同様であり、図3におけるCPL0をCPL00またはCPL01、／CPL0を／CPL00または／CPL01に置き換えたものであるので説明は省略する。そして、回路ブロック80、81は、2つのプレート線ドライバ60-1、60-2に対して略線対称に配置され、回路ブロック80、81間に配置されたプレート線ドライバ60-1、60-2の各々に、共通プレート線CPL00、CPL01、及び共通プレート線／CPL00、／CPL01が接続されている。

【0064】

上記構成のTC並列ユニット直列接続型強誘電体メモリの読み出し動作は、上記第2の実施形態と同様である。

【0065】

上記のように、本実施形態に係る強誘電体メモリによれば、上記第1、第2の実施形態で説明した効果を併せて得ることが出来る。

【0066】

上記第2の実施形態で説明したように、各メモリセルアレイのプレート線毎にプレート線ドライバが設けられている。すなわち、図9の例であると、必要なプレート線ドライバの数は、プレート線の本数と同じ8個である。

【0067】

しかし、本実施形態に係るTC並列ユニット直列接続型強誘電体メモリであると、各回路ブロックにおいて、2本のプレート線を共通プレート線に接続している。そして、2つのメモリセルアレイ間における2本の共通プレート線毎にプレート線ドライバを設けている。換言すれば、換言すれば、1つのプレート線ドライバが、2つのメモリセルアレイ間において、4本のプレート線に共用されてい

る。すなわち、各メモリセルアレイに含まれる4行のメモリセルブロック毎に、1つのプレート線ドライバを設ければ足りる。更に言い換えれば、1本のプレート線によって、8行のメモリセルブロックが共通接続されている、ということも出来る。従って、プレート線ドライバの数が従来の1/4となり、チップサイズを削減できる。

【0068】

上記第1、第2の実施形態で説明したとおり、1つのプレート線ドライバを複数のプレート線ドライバで共用すれば、プレート線ドライバの負荷の原因となる配線容量及び配線抵抗は増加する。しかし、本実施形態に係る構成で有れば、上記第1、第2の実施形態と同様、セルキャパシタの容量を要因とするプレート線ドライバの負荷は従来と変わらない。なぜなら、プレート線ドライバを共用する2つのメモリセルアレイは、同時に選択されることが無いからである。更に、同一メモリセルアレイ内でプレート線ドライバを共用するメモリセルブロックも、読み出し時に同時に選択されることがないからである。従って、プレート線ドライバを複数のプレート線ドライバで共用したことによるプレート線ドライバの負荷の増加分は、配線抵抗や配線容量のみを要因とするものに過ぎない。その結果、プレート線ドライバの負荷増加を最小限に抑えつつ、プレート線ドライバの占有面積を大幅に削減することが出来、その結果チップサイズを縮小化出来る。

【0069】

なお、プレート線及び共通プレート線の配線パターンは、プレート線ドライバを4本のプレート線で共用できるもので有れば良く、例えば図12に示すようなパターンであっても良い。すなわち、メモリセルアレイ20-1、20-2のそれぞれにおけるプレート線PL0、PL0が、第1方向に沿ったストライプ形状の1本の金属配線層によって形成されている。プレート線PL1、/PL0、/PL1も同様である。そして、第2方向に沿ったストライプ形状の金属配線層によって、共通プレート線CPL00、/CPL00、CPL01、/CPL01が形成されている。このようなパターンであっても、上記第3の実施形態と同様の効果が得られる。

【0070】

また、図13に示すように、共通プレート線CPL00とCPL01、並びに／CPL00と／CPL01を共通接続した後で、それぞれをプレート線ドライバ60-1、60-2に接続しても良い。

【0071】

更に、上記実施形態ではメモリセルアレイ毎に2本のプレート線ドライバを共用する例を示したが、勿論、メモリセルアレイ毎に3本以上のプレート線で共用しても良い。また、プレート線ドライバを共用するプレート線の本数は、メモリセルアレイ毎に異なっていても良い。更に、上記実施形態では、2つのメモリセルアレイ間でプレート線ドライバを共用しているが、3つ以上のメモリセルアレイ間で共用しても良い。

【0072】

上記のように、この発明の第1乃至第3の実施形態によれば、読み出し動作時に同時選択されることのない関係にある複数のメモリセルブロックを、共通のプレート線に接続している。換言すれば、読み出し動作時に同時選択されることのない関係にある複数のメモリセルブロックが、1つのプレート線ドライバを共用している。非選択のメモリセルにおいては、ワード線が“H”レベルとされているので、セルキャパシタの両端はショートされている。従って、非選択メモリセルのセルキャパシタ容量は、プレート線ドライバからは見えない。よって、プレート線ドライバの負荷の増加を最小限に抑えつつ、プレート線ドライバの数を削減でき、チップサイズを縮小化出来る。

【0073】

なお、上記第1乃至第3の実施形態では、1つのメモリセルアレイ当たり、2本、または3本のプレート線でプレート線ドライバを共用する例について説明した。しかし、図14のブロック図に示すように、メモリセルアレイ内の全てのプレート線対PL0、／PL0、…PLj、／PLj（jは自然数）を、共通プレート線対に共通接続し、全てのプレート線対毎に、プレート線ドライバ60-1、60-2を共用しても良い。

【0074】

また、上記第1乃至第3の実施形態では、2つのメモリセルで1つのデータを

保持する場合について説明した。しかし、1つのメモリセルで1つのデータを保持する場合にも適用できることは言うまでもない。図15はそのような場合におけるTC並列ユニット直列接続型強誘電体メモリのブロック図である。

【0075】

図示するように、 $(m+1) \times (n+1)$ 個のメモリセルブロックが、マトリクス状に配置されて、メモリセルアレイ20が形成されている。そして、同一列のメモリセルブロックの一端は、ビット線BL0～BLnに共通接続されている。また隣接する2行のメモリセルブロックの他端は、プレート線PL0～PLj ($j = (m-1) / 2$) に共通接続されている。そして、隣接する2本のプレート線が、共通プレート線CPL0～CPLk ($k = (j-1) / 2$) に接続されている。更に、共通プレート線CPL0～CPLkは、それぞれプレート線ドライバ60-1～60-(k+1)に接続されている。

【0076】

このように、1つのメモリセルで1つのデータを保持する場合にも、上記第1乃至第3の実施形態は適用できる。勿論、3本以上のプレート線が1つのプレート線ドライバを共用しても良い。また、図16のブロック図に示すように、プレート線ドライバ60を全てのプレート線PL0～PLjで共用しても良い。この場合、1つのメモリセルアレイ当たり、必要なプレート線ドライバの数は1個で足りる。更に、図17のブロック図に示すように、複数のメモリセルアレイ間でプレート線ドライバ60-1～60-3を共用しても良い。

【0077】

なお、上記実施形態によれば、チップサイズの低減が可能となる。従って、1つの半導体チップ上に、ロジックLSIと、上記実施形態に係る強誘電体メモリとを合わせて搭載する（混載化）場合において、高集積化等の観点からも有効である。

【0078】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜

な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0079】

【発明の効果】

以上説明したように、この発明によれば、チップサイズを低減できる半導体集積回路装置を提供できる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施形態に係る強誘電体メモリのブロック図。

【図 2】 この発明の第 1 の実施形態に係る強誘電体メモリが備えるメモリセルアレイの回路図。

【図 3】 この発明の第 1 の実施形態に係る強誘電体メモリが備えるメモリセルアレイの平面図。

【図 4】 この発明の第 1 の実施形態に係る強誘電体メモリのデータ読み出し時における、各種信号のタイミングチャート。

【図 5】 この発明の第 1 の実施形態の変形例に係る強誘電体メモリのブロック図。

【図 6】 この発明の第 2 の実施形態に係る強誘電体メモリのブロック図。

【図 7】 この発明の第 2 の実施形態に係る強誘電体メモリが備えるメモリセルアレイの回路図。

【図 8】 この発明の第 2 の実施形態に係る強誘電体メモリが備えるメモリセルアレイの平面図。

【図 9】 この発明の第 3 の実施形態に係る強誘電体メモリのブロック図。

【図 10】 この発明の第 3 の実施形態に係る強誘電体メモリが備えるメモリセルアレイの回路図。

【図 11】 この発明の第 3 の実施形態に係る強誘電体メモリが備えるメモリセルアレイの平面図。

【図 12】 この発明の第 3 の実施形態の第 1 変形例に係る強誘電体メモリ

が備えるメモリセルアレイの平面図。

【図13】 この発明の第3の実施形態の第2変形例に係る強誘電体メモリが備えるメモリセルアレイの平面図。

【図14】 この発明の第1乃至第3の実施形態の第1変形例に係る強誘電体メモリのブロック図。

【図15】 この発明の第1乃至第3の実施形態の第2変形例に係る強誘電体メモリのブロック図。

【図16】 この発明の第1乃至第3の実施形態の第3変形例に係る強誘電体メモリのブロック図。

【図17】 この発明の第1乃至第3の実施形態の第4変形例に係る強誘電体メモリのブロック図。

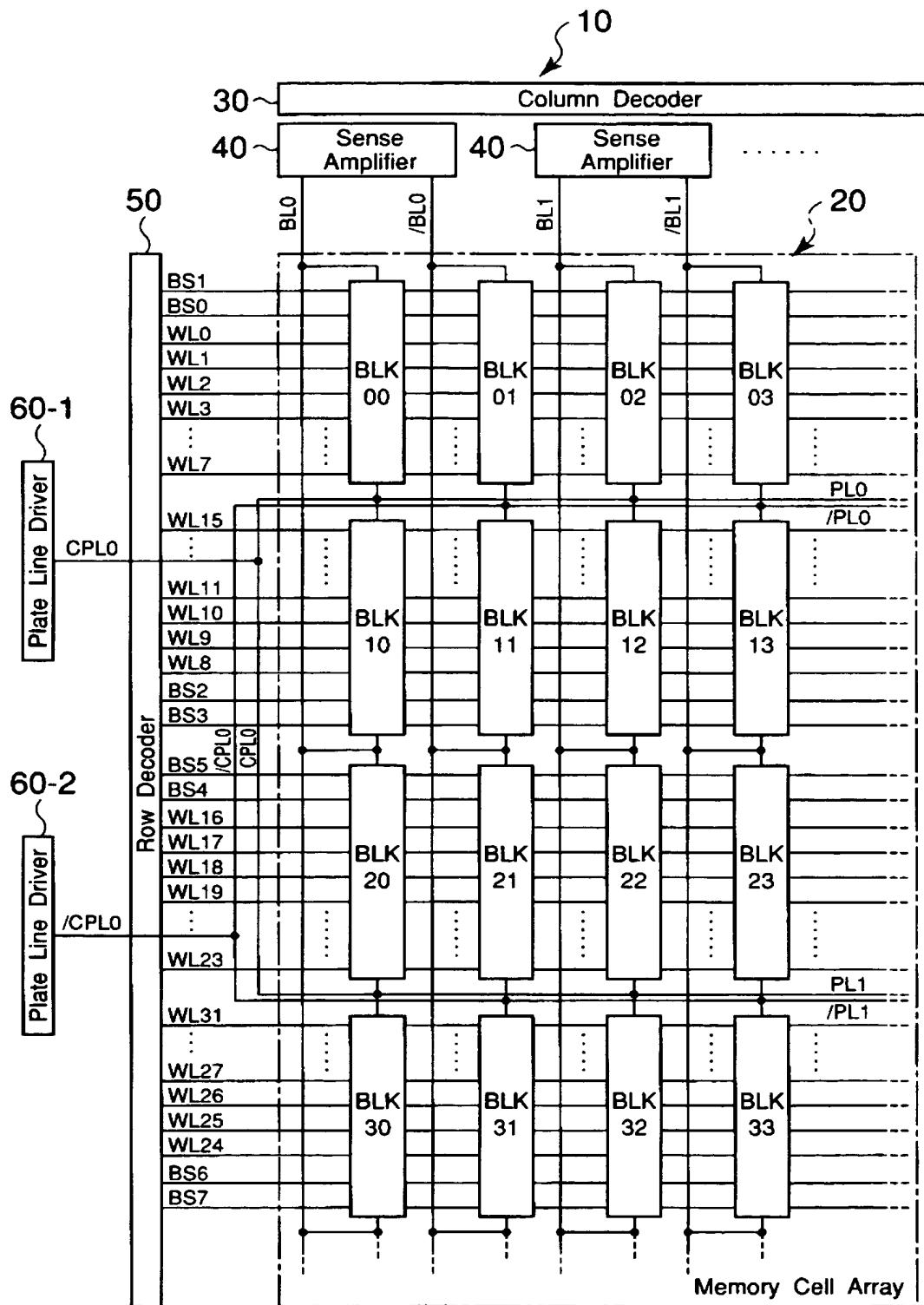
【符号の説明】

10…強誘電体メモリ、20、20-1、20-2…メモリセルアレイ、30、30-1、30-2…カラムデコーダ、40、40-1、40-2…センスアンプ、50、50-1、50-2…ロウデコーダ、60、60-1～60-4…プレート線ドライバ、70…半導体基板、71…キャパシタ下部電極、72…キャパシタ上部電極、80、81…回路ブロック

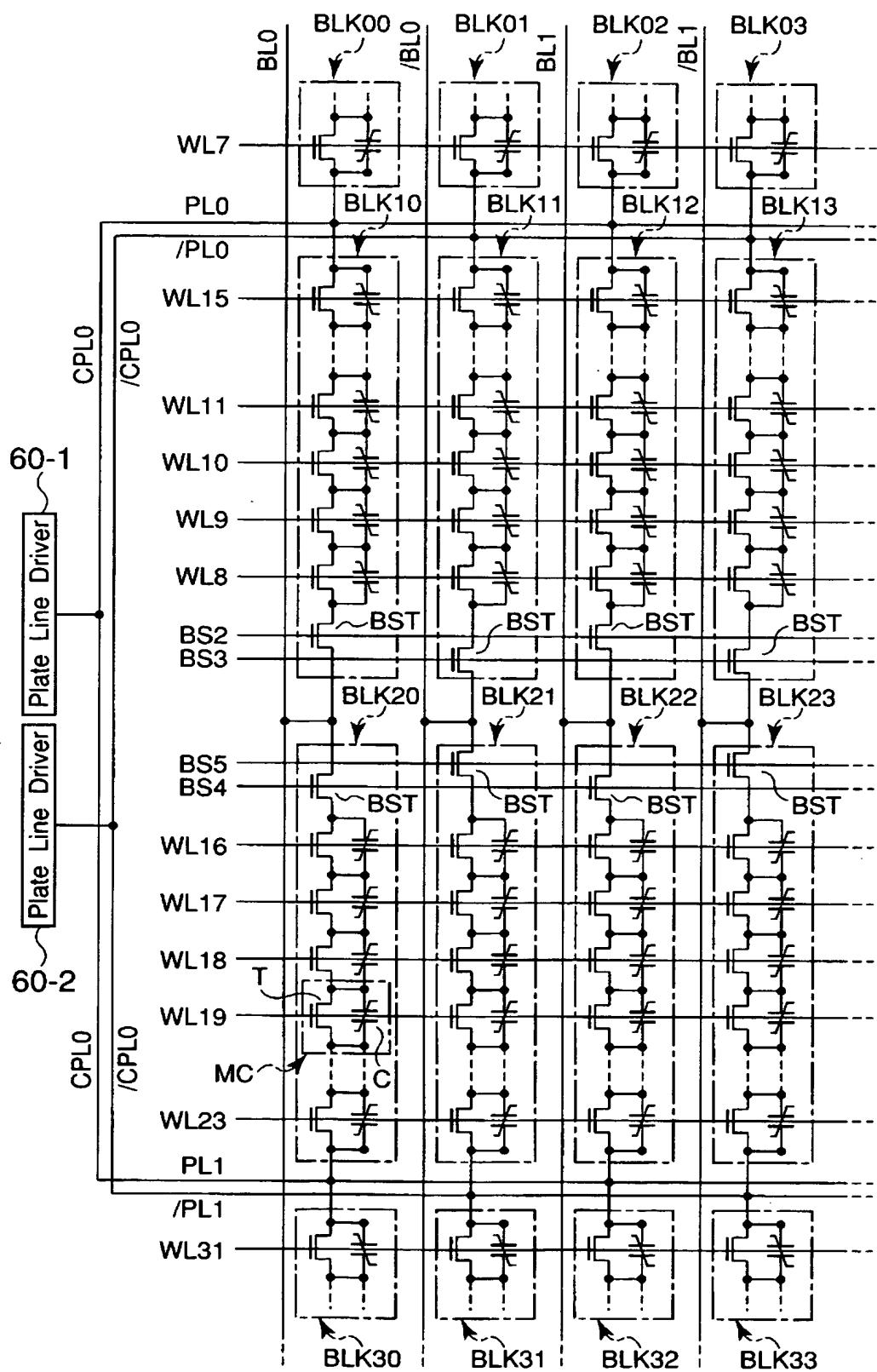
【書類名】

図面

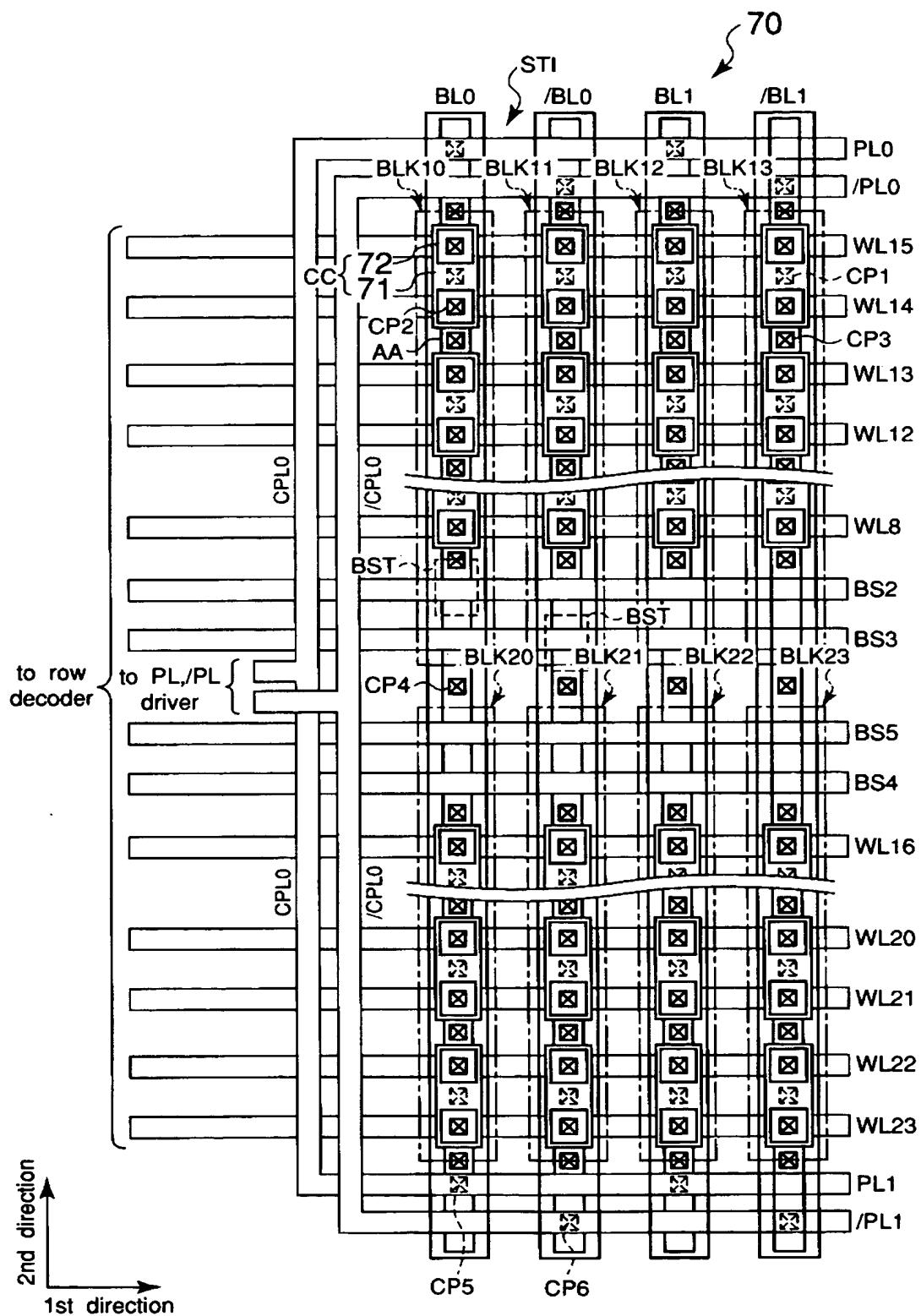
【図 1】



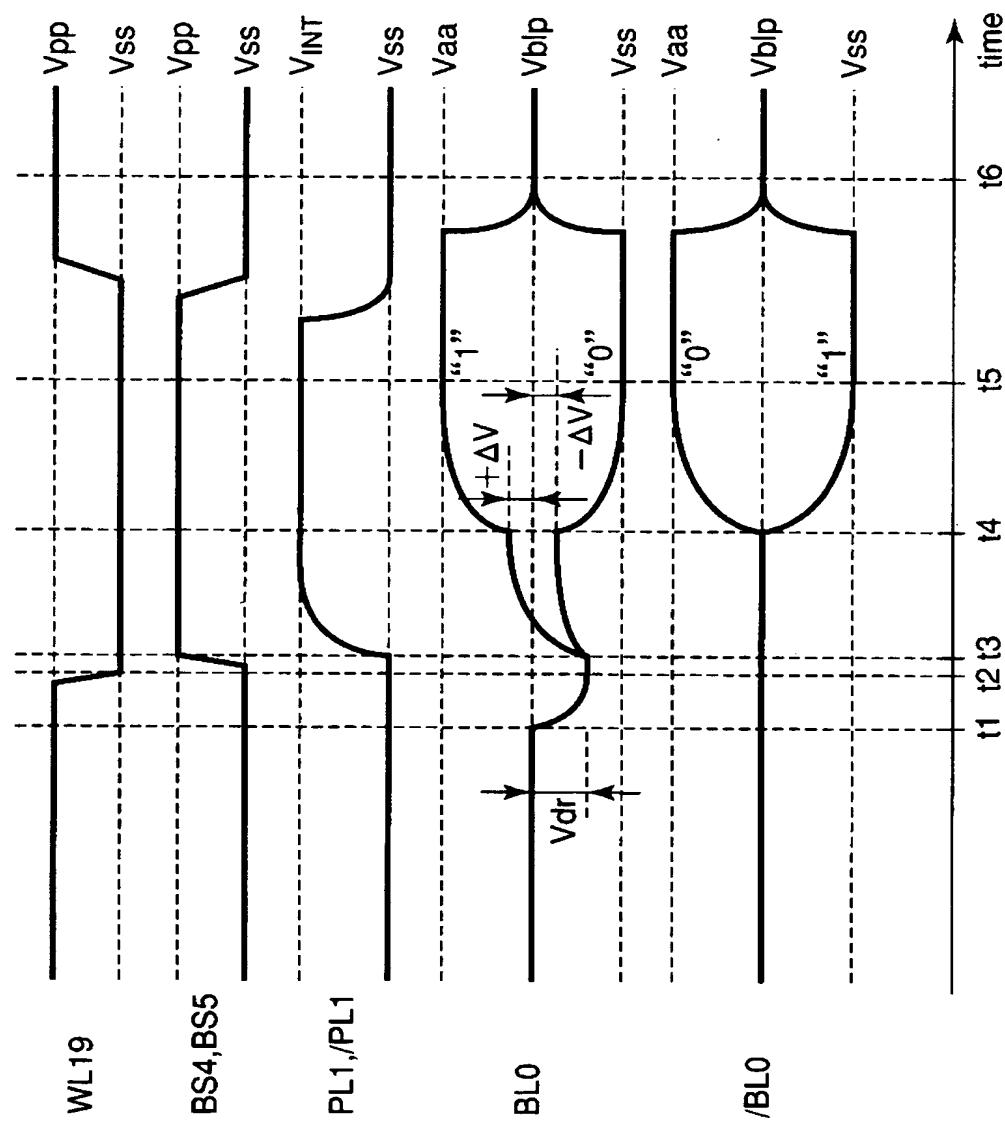
【図 2】



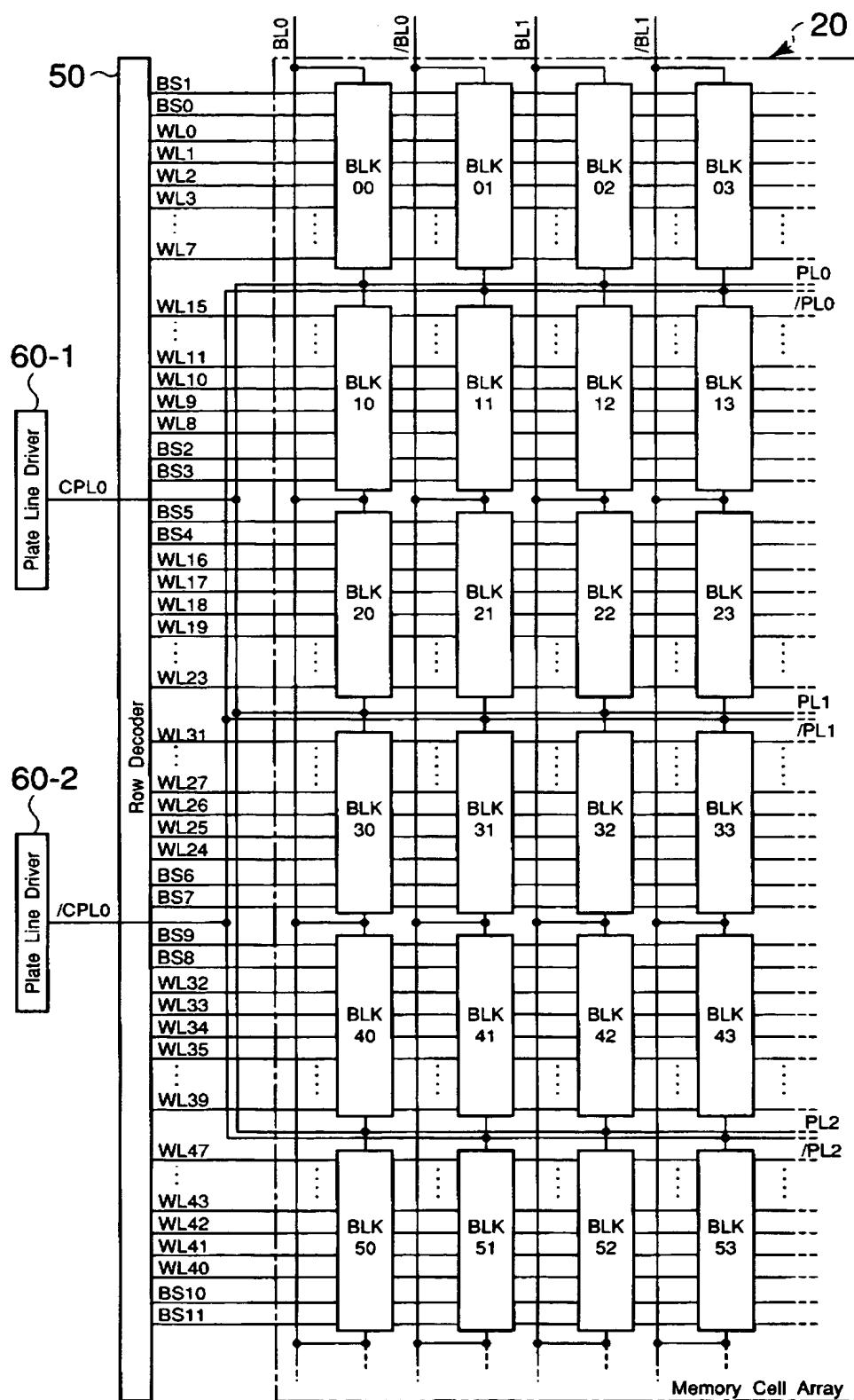
【図 3】



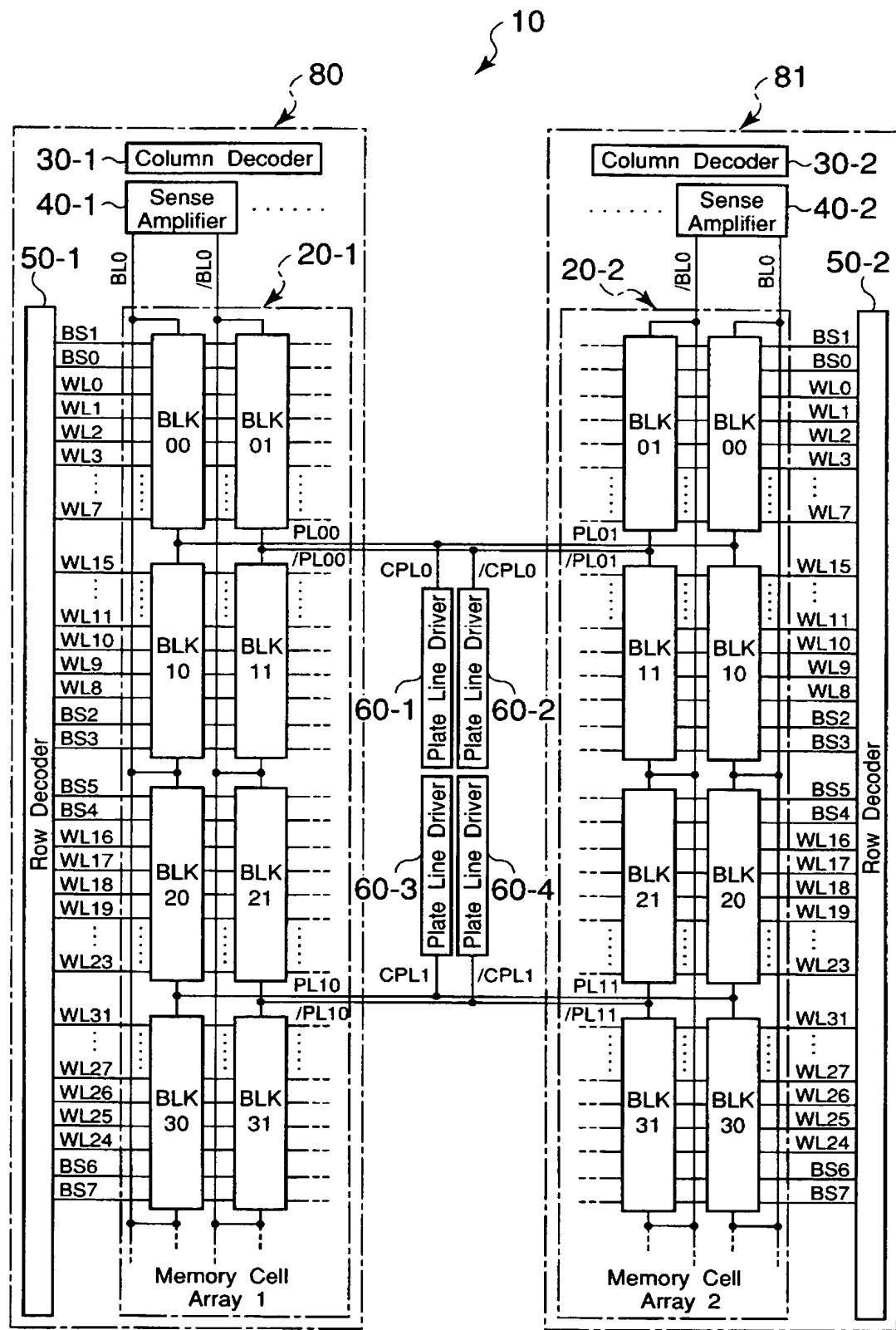
【図 4】



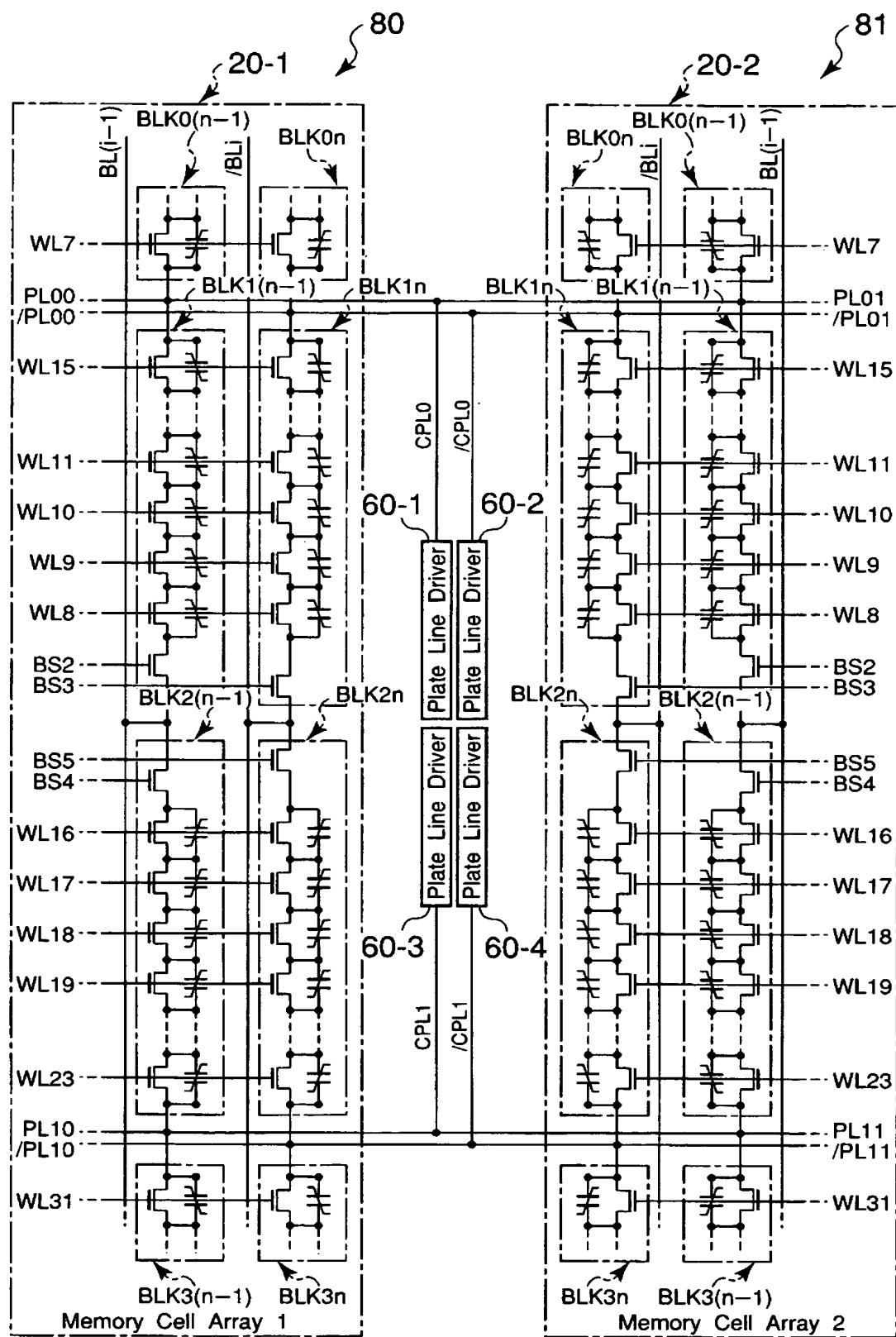
【図 5】



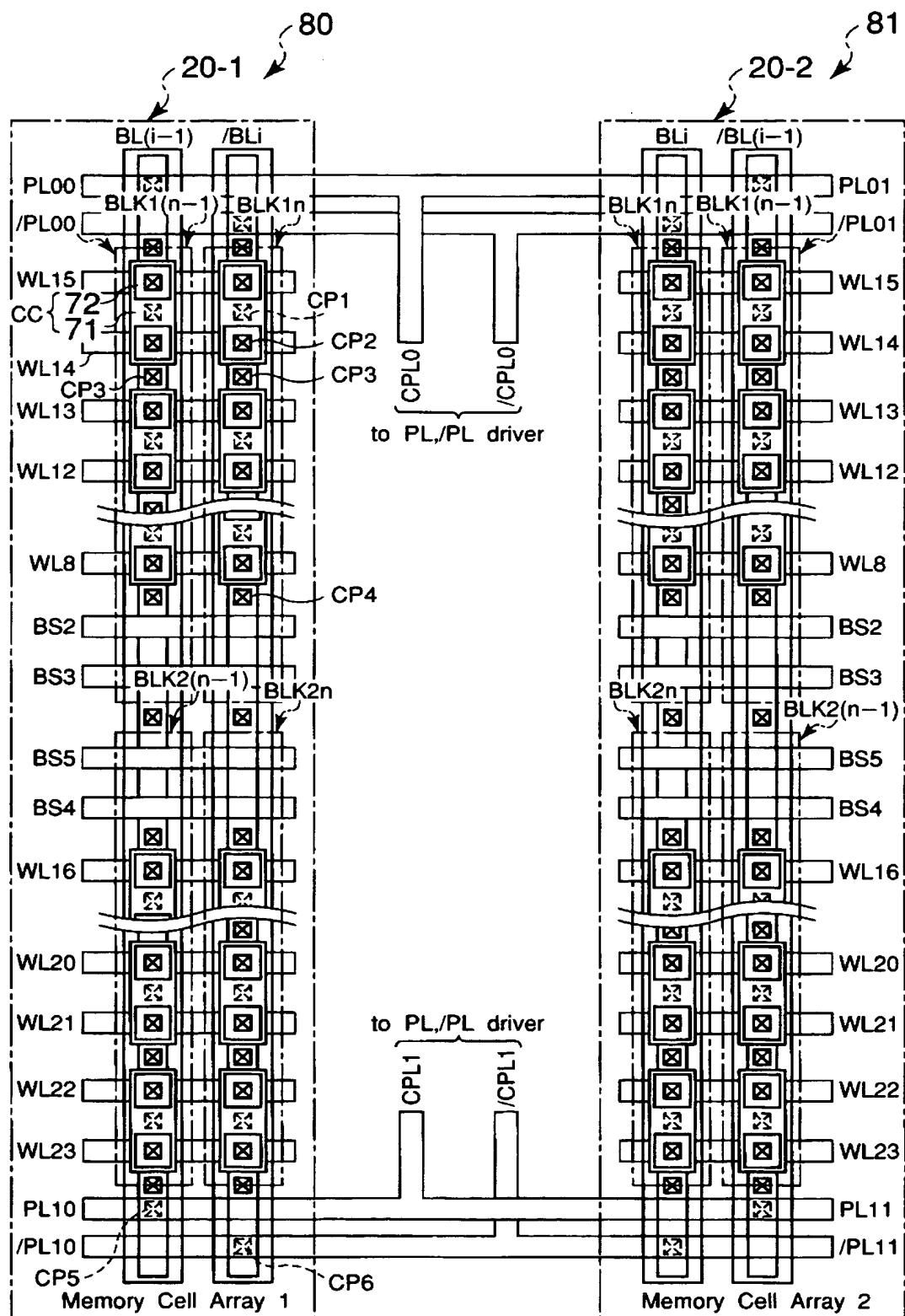
【圖 6】



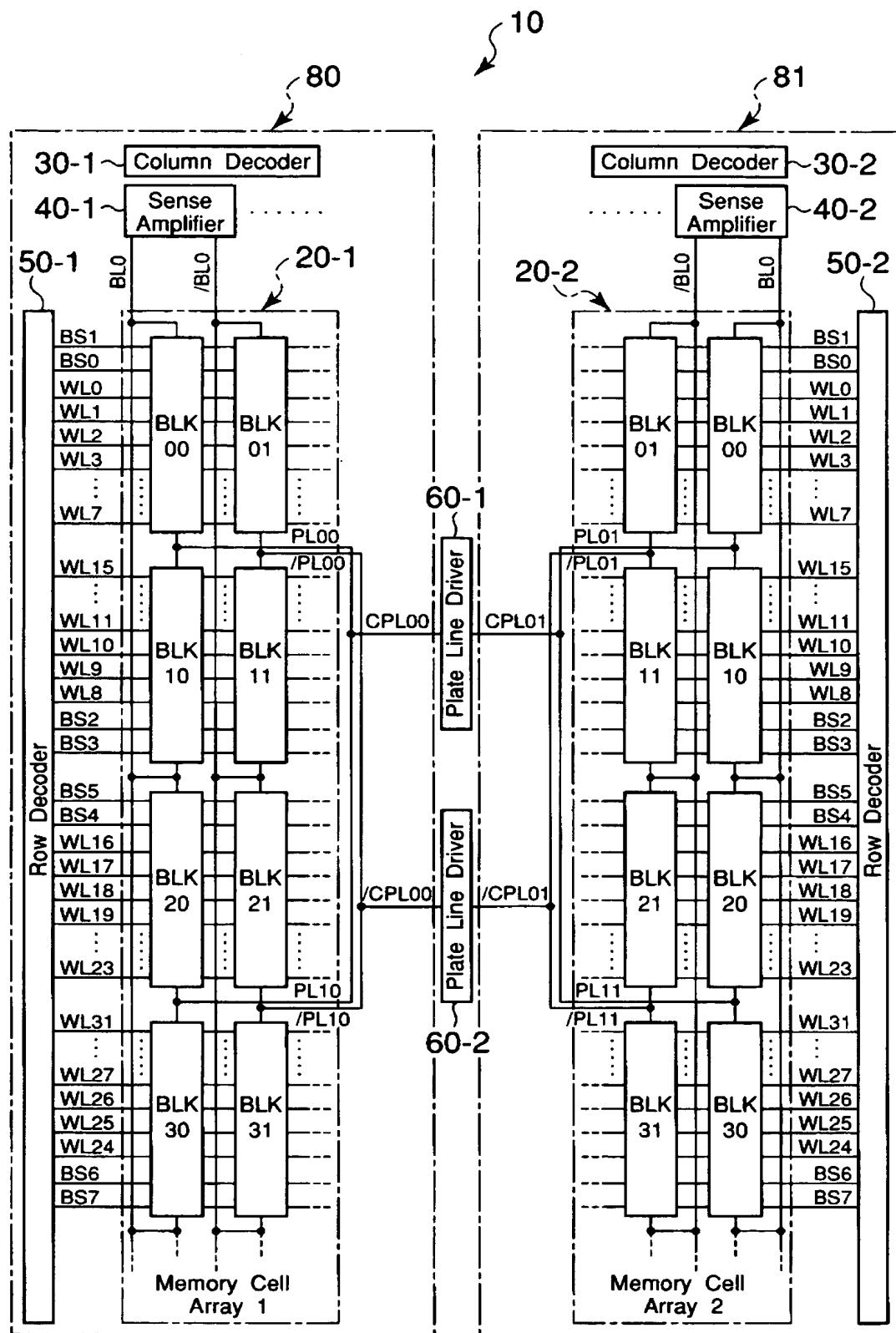
【図 7】



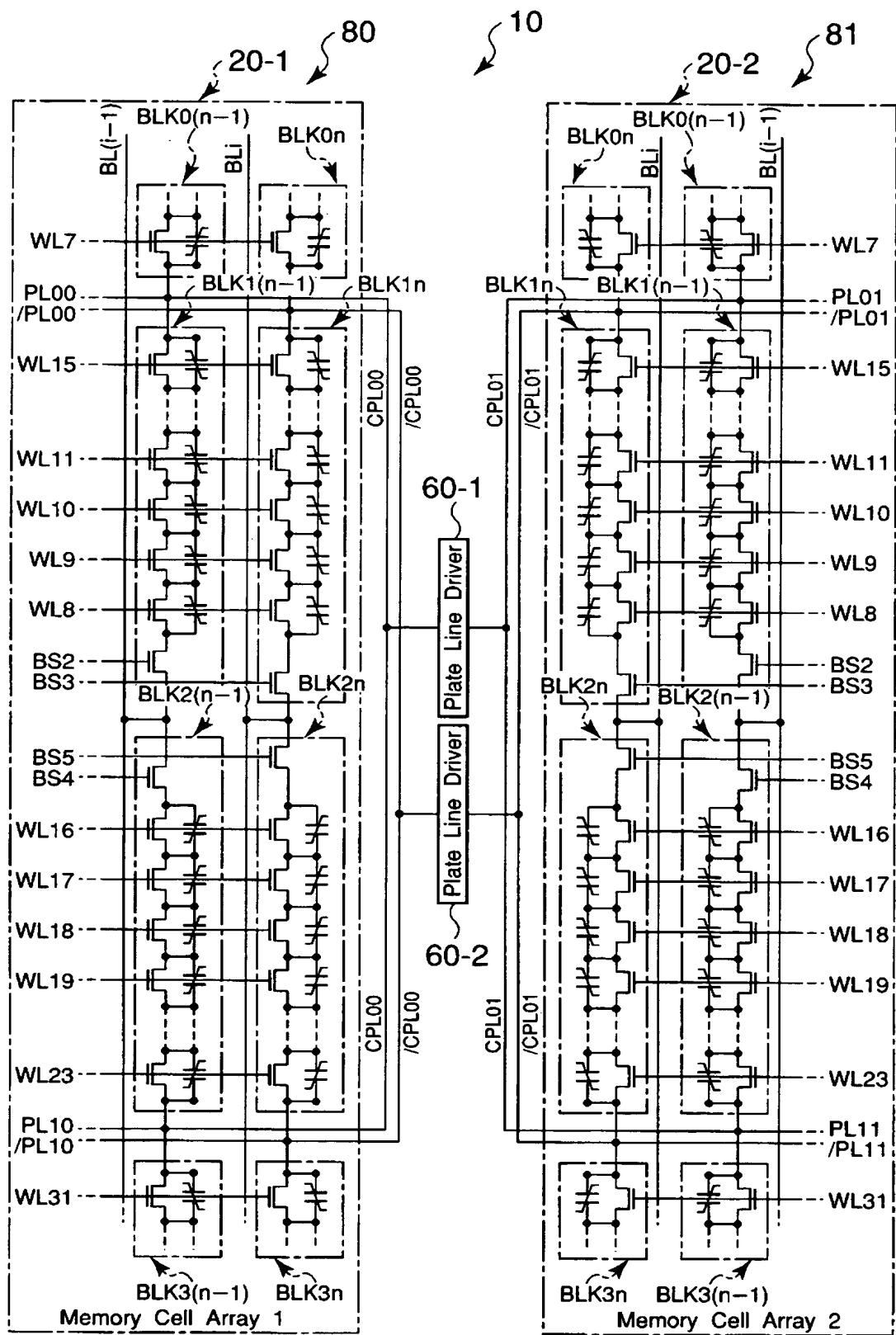
【図 8】



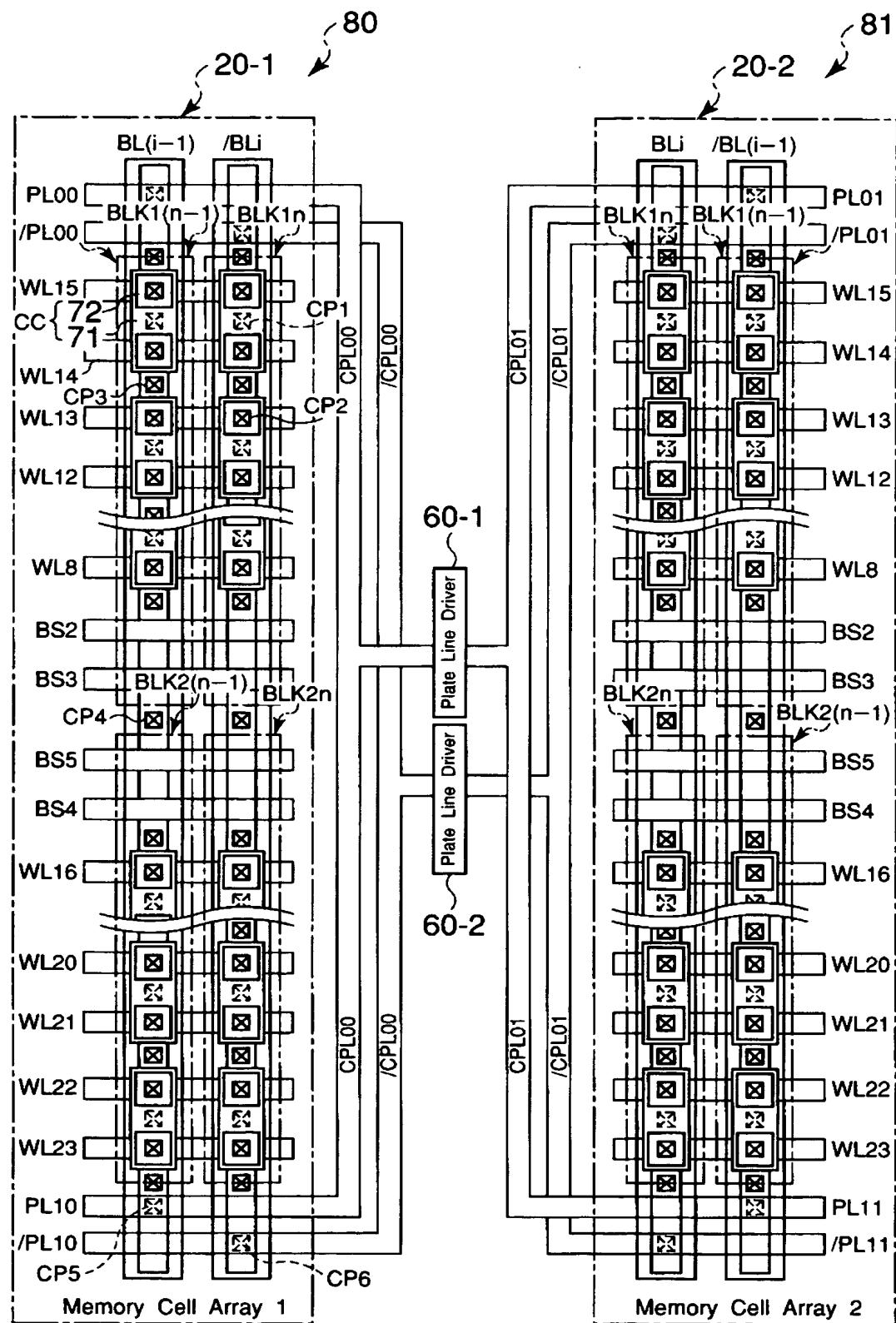
【図 9】



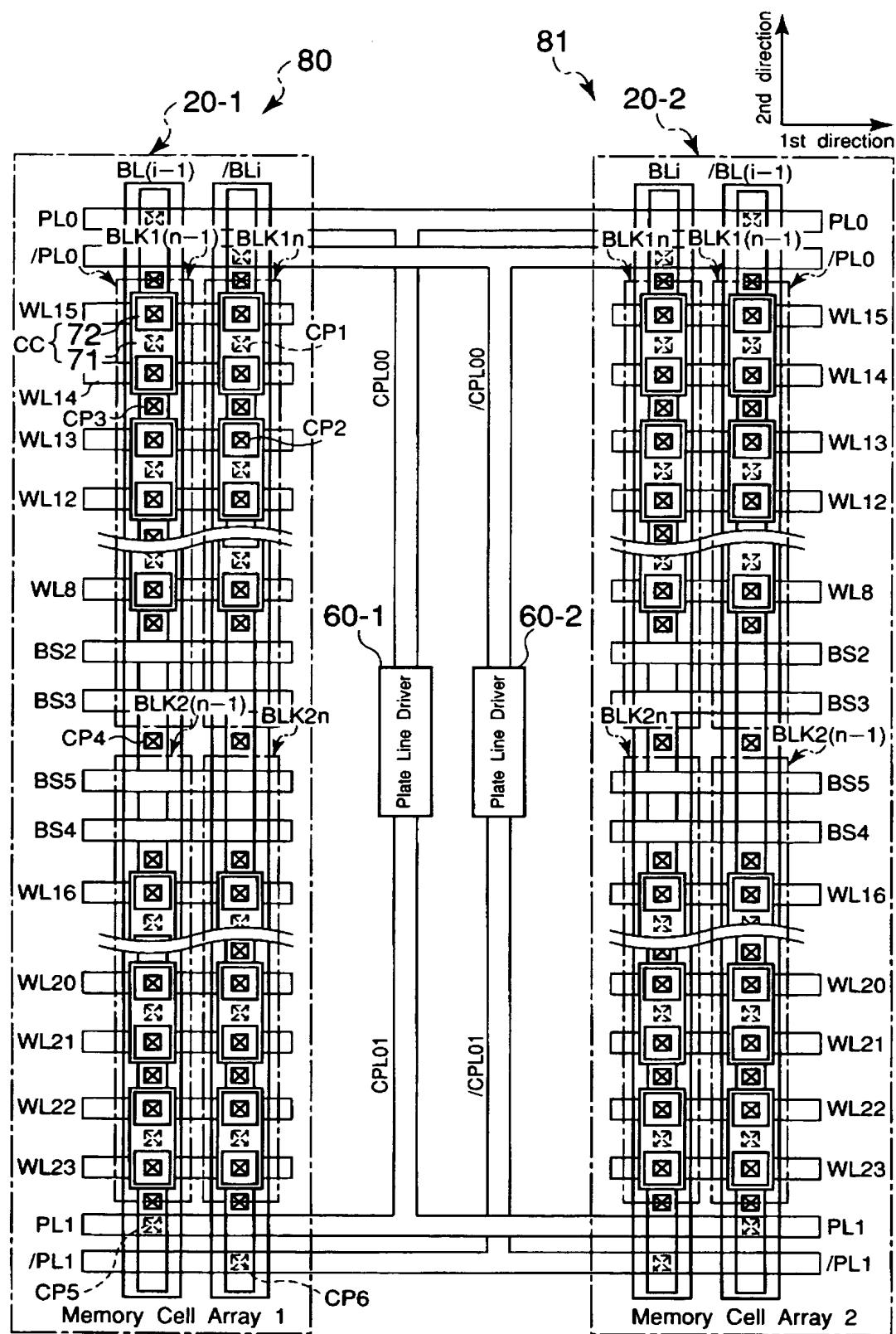
【図10】



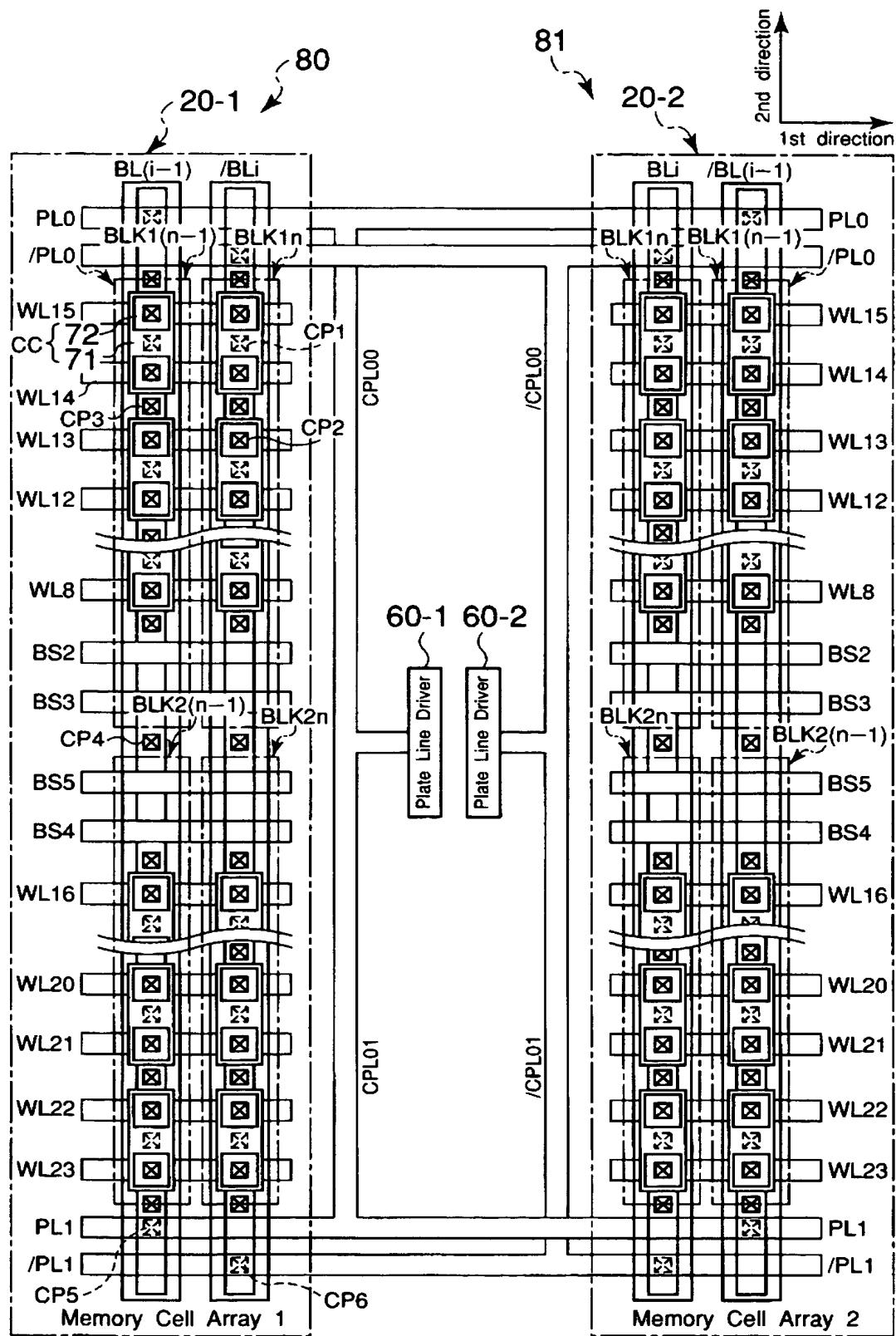
【図 11】



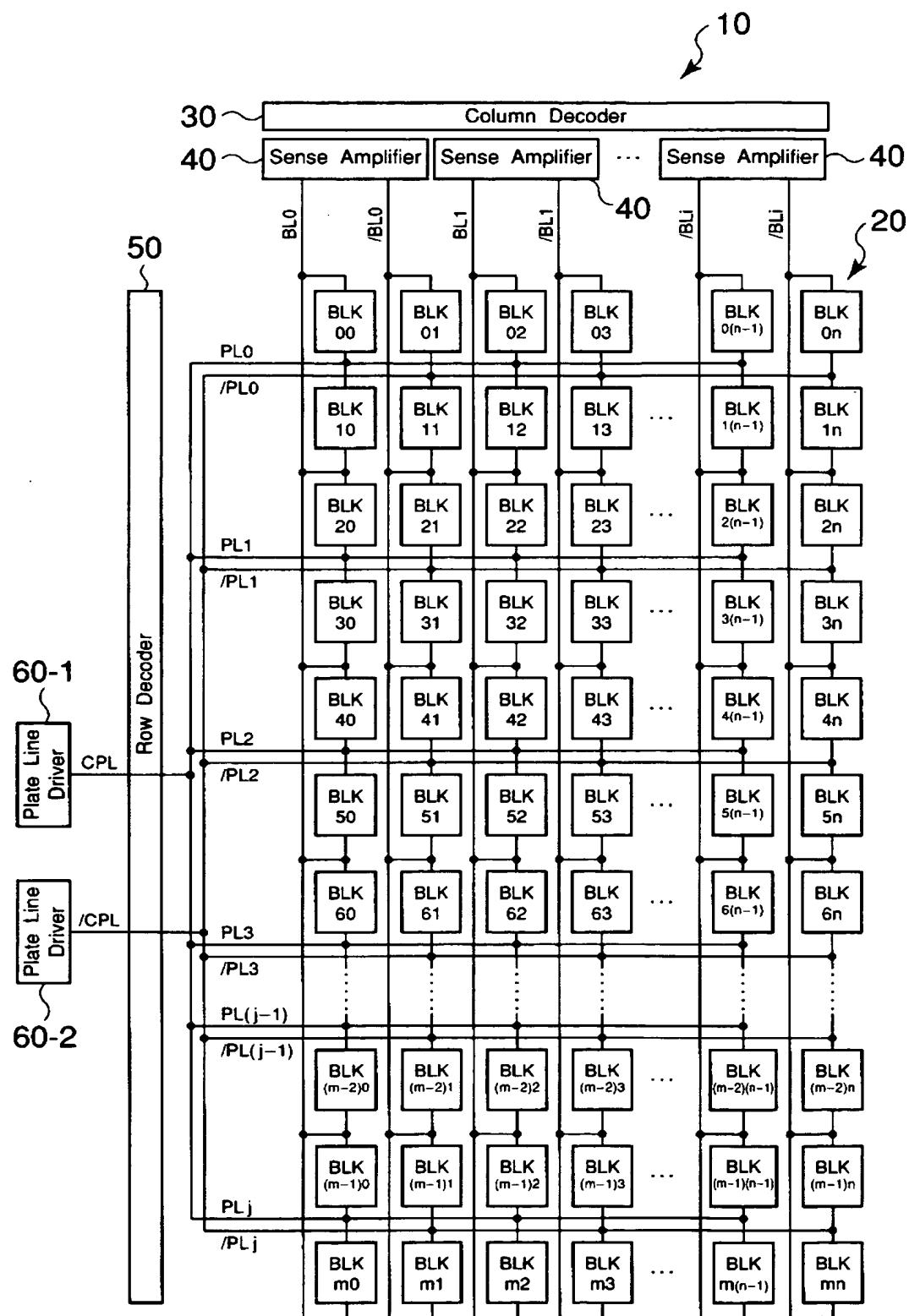
【図12】



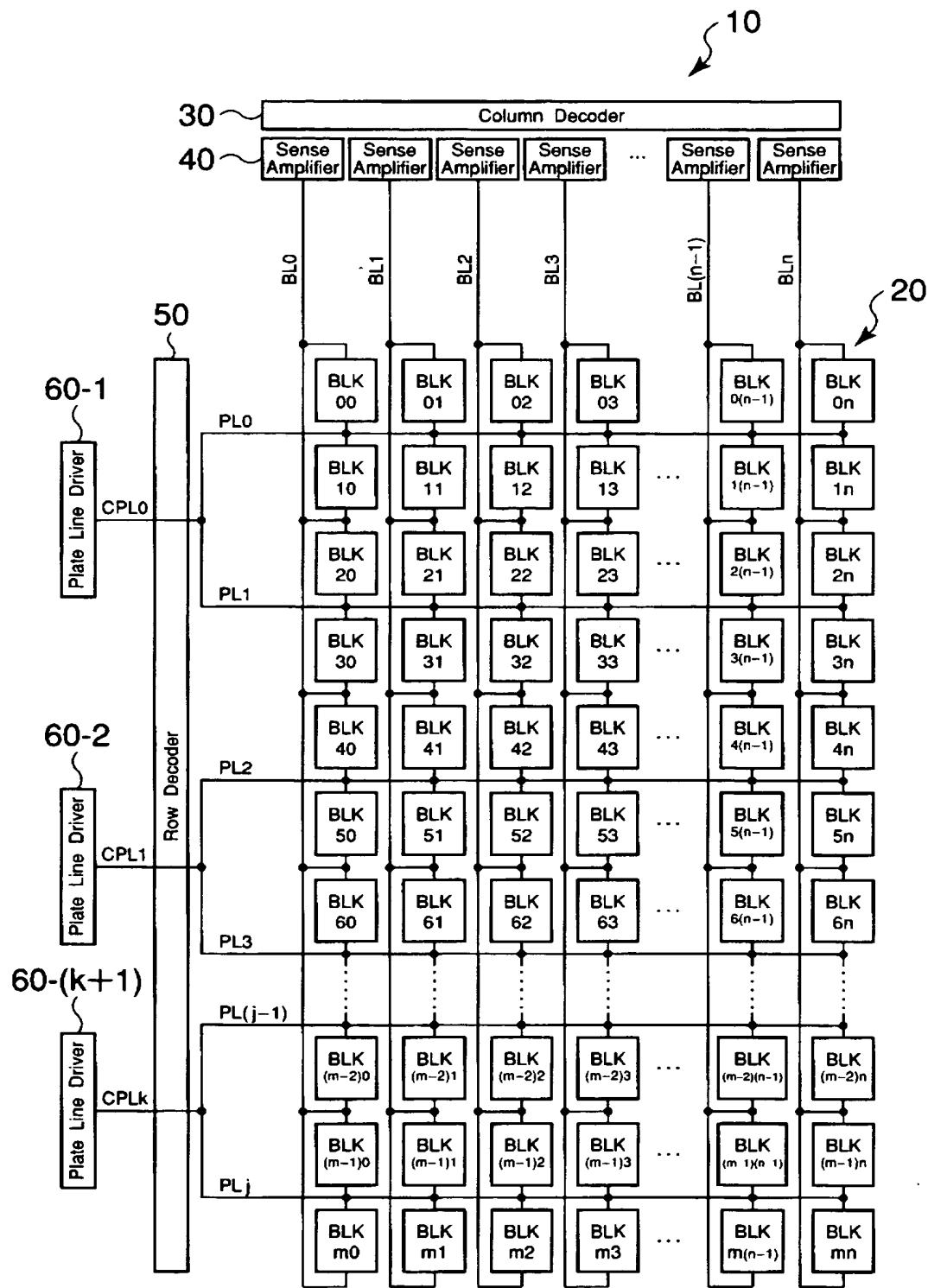
【図13】



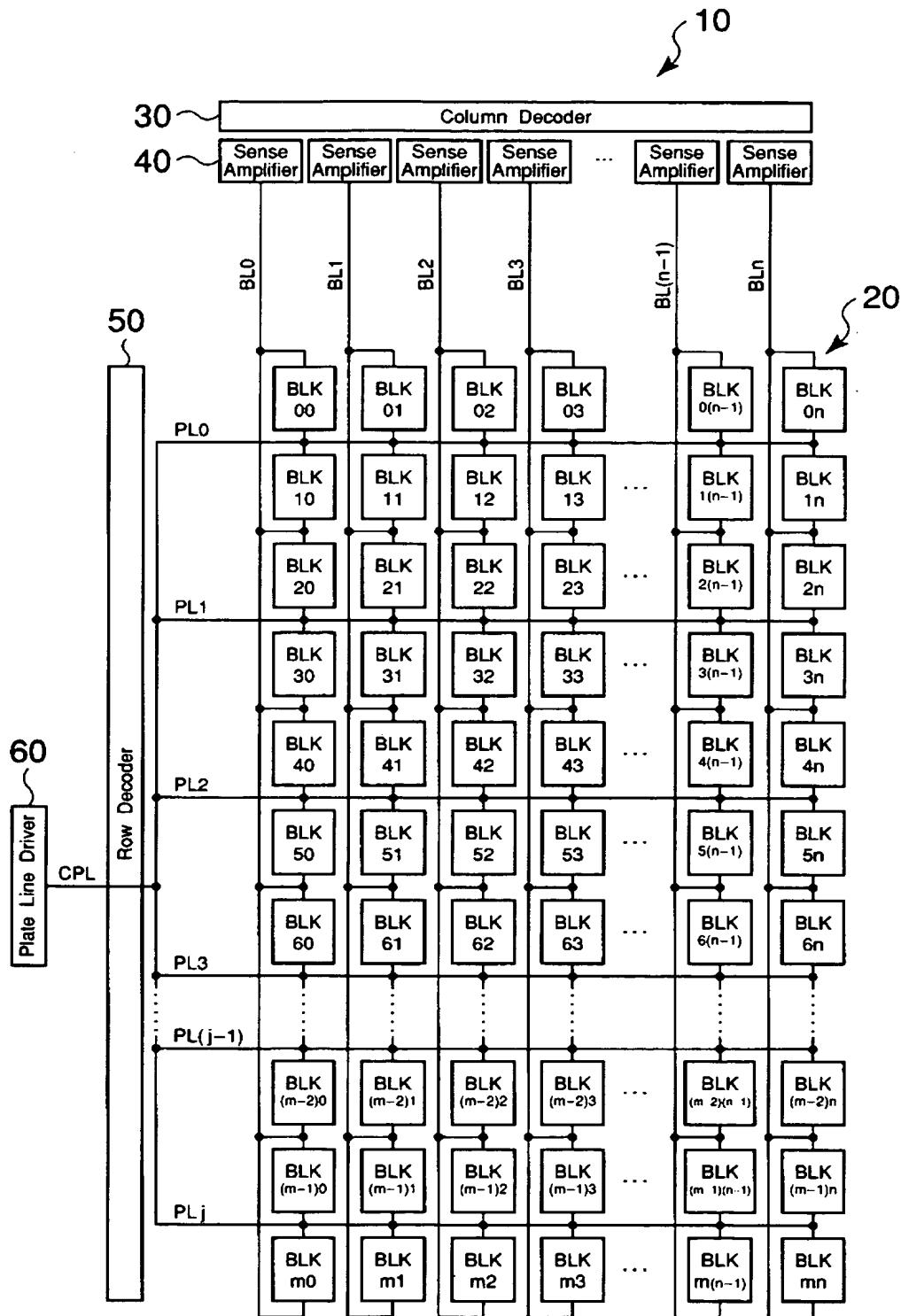
【図14】



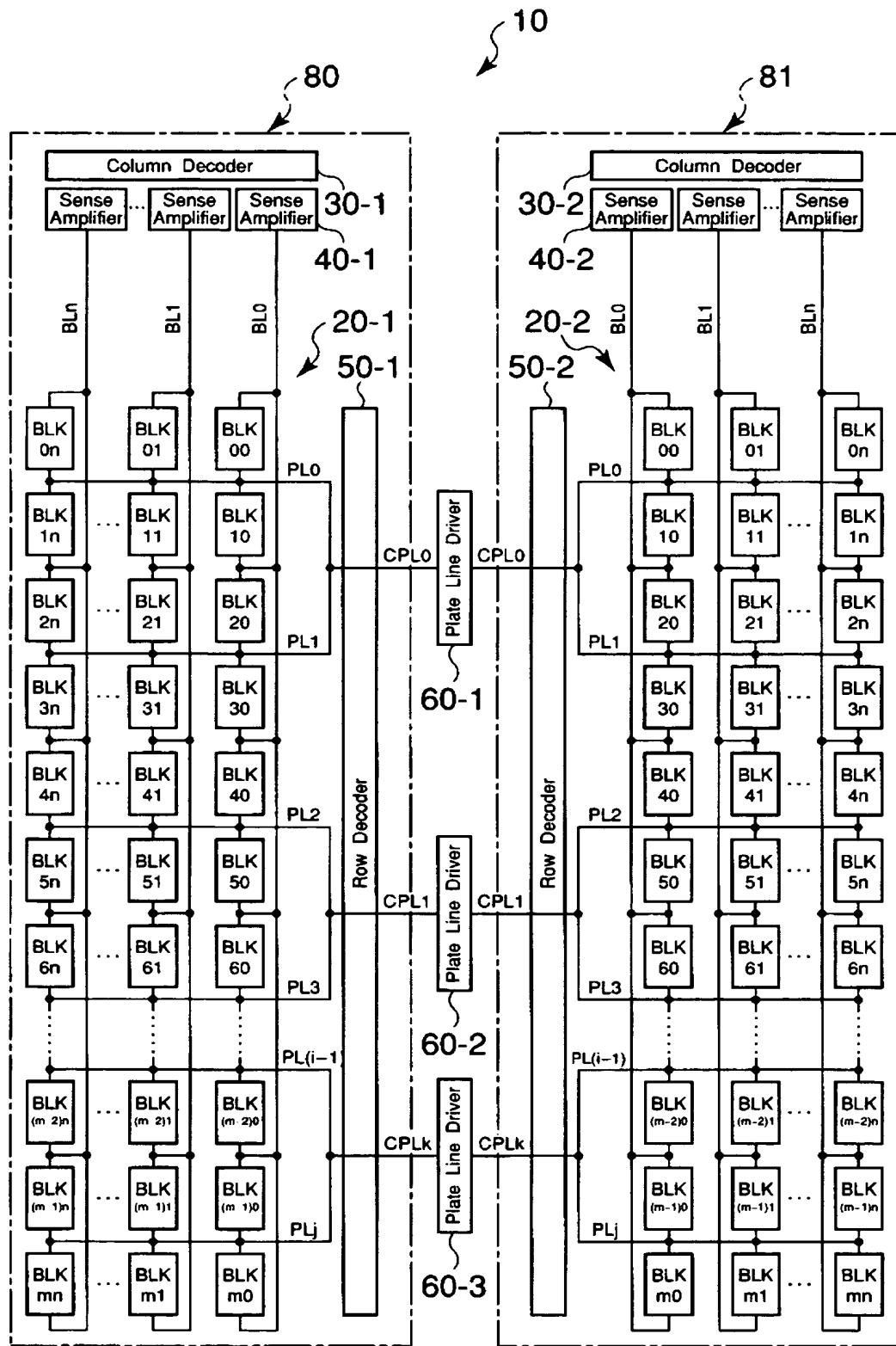
【図15】



【図 16】



【図17】



【書類名】 要約書

【要約】

【課題】 チップサイズを低減できる半導体集積回路装置を提供すること。

【解決手段】 セルトランジスタと、前記セルトランジスタのソース・ドレイン間に接続された強誘電体キャパシタとを含むユニットセルと、第1端子と第2端子との間に直列接続された複数個の前記ユニットセルと、前記第2、第3端子間に接続されたブロック選択トランジスタとを含む複数のメモリセルブロックと、複数の前記メモリセルブロックの前記第3端子を共通接続する複数のビット線と、複数の前記メモリセルブロックの前記セルトランジスタのゲートを共通接続する複数のワード線と、複数の前記メモリセルブロックの前記ブロック選択トランジスタのゲートを共通接続するブロック選択信号線と、複数の前記メモリセルブロックの前記第1端子を共通接続する複数のプレート線と、複数の前記プレート線が共通接続され、プレート線に電位を与えるプレート線ドライバとを備える。

【選択図】 図1

特願2003-198953

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝